

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 11041241 A

(43) Date of publication of application: 12 . 02 . 99

(51) Int. Cl

H04L 12/28

H04Q 3/00

(21) Application number: 09193413

(22) Date of filing: 18 . 07 . 97

(71) Applicant: HITACHI LTD

(72) Inventor: MITSUNAGA DAIJI
TERADA YUJI
MATSUHASHI SATOSHI

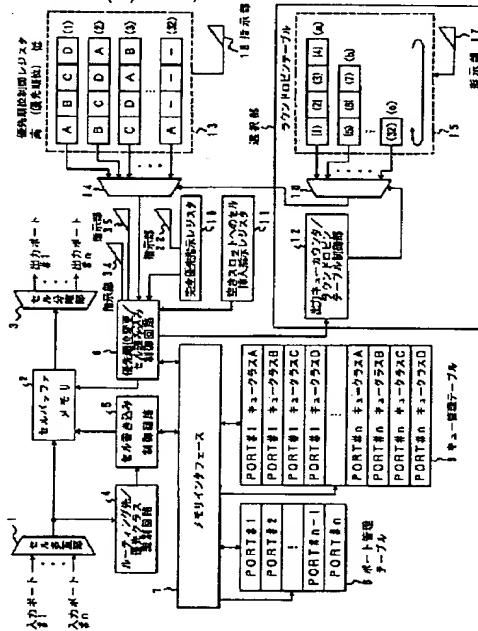
(54) ATM SWITCH AND CELL OUTPUT PRIORITY CONTROL METHOD THEREFOR

(57) Abstract:

PROBLEM TO BE SOLVED: To efficiently perform the priority control of output cells at an ATM switch and further to guarantee the output bands of respective classes.

SOLUTION: The cells are held in a cell buffer 2 in the order of input for each output port and each class. A priority control register 13 holds plural kinds of priority for the respective classes. As for the class having the cell to be held in the cell buffer 2 and high in priority, a priority change/cell read control circuit 6 outputs the first inputted cell from the output port according to the selected priority of the priority control register 13. An output queue counter/round robin table control part 12 counts the output cells in each cycle for each class of the port and when the count value gets equal with a set value, the switching of the round robin table 15 is controlled so as to select the priority, which does not include the class of the output port, from the priority control register.

COPYRIGHT: (C)1999,JPO



特開平11-41241

(43)公開日 平成11年(1999)2月12日

(51) Int.Cl.⁸

識別記号

F I
H 0 4 L 11/20
H 0 4 Q 3/00
H 0 4 L 11/20

· G

審査請求 未請求 請求項の数9 OL (全34頁)

(21) 出願番号 特願平9-193413

(22)出願日 平成9年(1997)7月18日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目 6 番地

(72) 発明者 満永 大司

神奈川県横浜市戸塚区戸塚町216番地 株
式会社日立製作所情報通信事業部内

(72) 発明者 寺田 祐二

神奈川県横浜市戸塚区戸塚町216番地
式会社日立製作所情報通信事業部内

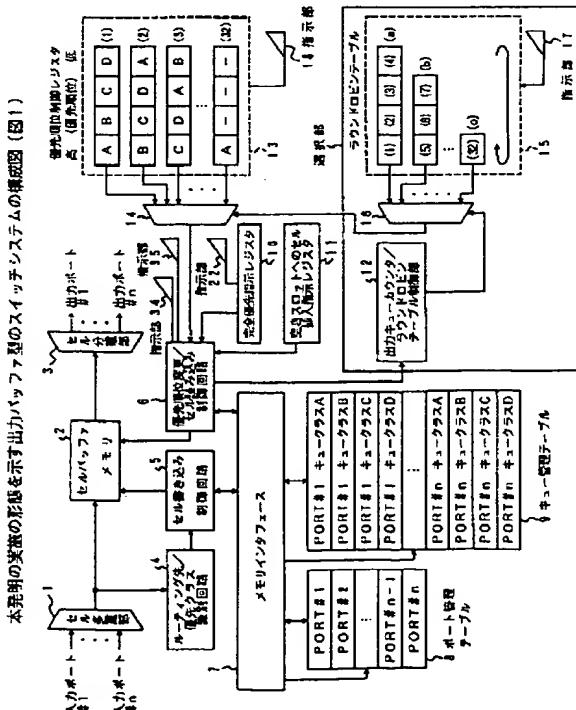
(72) 発明者 松橋 謙
神奈川県横浜市戸塚
式会社日立製作所情
(74) 代理人 弁理士 富田 和子

(54) 【発明の名称】 ATMスイッチ及びそのセル出力優先制御方法

(57) 【要約】

【課題】 ATMスイッチにおいて、効率的に出力セルの優先制御を行い、さらに、各クラスの出力帯域を保証する。

【解決手段】出力ポート毎であって、クラス毎に、入力した順にセルをセルバッファ2に保持させる。優先順位制御レジスタ13は、各クラスの優先順位を複数種保持する。優先順位変更／セル読み込み制御回路6は、選択された優先順位制御レジスタ13の優先順位に従い、セルバッファ2に保持されるセルがあるクラスであって、優先順位のより高いクラスについて、最先に入力したセルを、出力ポートから出力させる。出力キューカウンタ／ラウンドロビンテーブル制御部12が、出力セルを各ポートのクラス毎に、各周期ごとに計数し、設定値と等しくなったときに、当該出力ポートの当該クラスを含まない優先順位を、優先順位制御レジスタから選択するよう、ラウンドロビンテーブル15の切り替えを制御する。



【特許請求の範囲】

【請求項1】セルを入力し、予め定められた、当該入力したセルに付加されているサービスの種類を示すクラスに従い、宛先に対応する出力ポートからセルを出力するATMスイッチであって、

前記出力ポート毎であって、前記クラス毎に、前記入力した順にセルを保持するセル保持手段と、

前記出力ポート毎であって、前記クラス毎に、前記セル保持手段に保持されるセルがあるかないかを管理する管理手段と、

前記クラスの複数種の優先順位を保持する優先順位保持手段と、前記優先順位保持手段からいずれか1つの優先順位を選択する選択手段と、前記出力ポート毎に、前記選択手段により選択された優先順位において、より高いクラスであって、前記管理手段において前記セル保持手段に保持されているセルがあると管理されているクラスについて、最先に入力した、前記セル保持手段に保持されているセルを、当該ポートから出力させる読み込み制御手段とを有し、前記選択手段は、あらかじめ定めた時間毎に、当該選択する種類を切り替え、また、前記出力ポート毎の各クラスのセルの出力帯域を監視し、当該監視した出力帯域が、当該出力ポートの当該クラスの出力帯域の設定値となったときに、当該出力ポートについての当該クラスを含まない優先順位を、前記優先順位保持手段から選択することを特徴とするATMスイッチ。

【請求項2】請求項1において、前記選択手段は、前記あらかじめ定めた時間毎に、前記選択する種類を切り替えるために、当該優先順位の種類の切替の順序を示すパターンを複数種類さらに備え、前記監視した出力帯域が、前記出力ポートの当該クラスの出力帯域の設定値となったときに、当該出力ポートの当該クラスを含まないパターンにしたがって、前記優先順位を、前記優先順位保持手段から選択することを特徴とするATMスイッチ。

【請求項3】請求項1において、前記選択手段は、前記出力ポート毎の各クラスの、あらかじめ定めた時間における出力されたセル数を計数することにより、前記出力帯域の監視を行なうことを特徴とするATMスイッチ。

【請求項4】請求項1において、前記出力ポートごとの各クラスにおいて、前記優先順位保持手段の優先順位により優先する、前記出力ポートごとの少なくとも1つのクラスの優先順位を保持する完全優先順位保持手段をさらに有し、前記読み込み制御手段は、前記完全優先順位保持手段に保持されているクラスの優先順位を、前記選択された優先順位保持手段の優先順位より優先させて、前記セルを出力させることを特徴とするATMスイッチ。

【請求項5】請求項1において、前記出力ポート毎に、前記出力帯域が設定値未満のクラスのセルが前記セル保持手段に保持されていないときに、前記出力帯域が設定値となっているクラスのセルが前記セル保持手段に保持

されている場合に、当該クラスのセルの出力を許可する指示手段をさらに備え、前記読み込み制御手段は、前記出力帯域が設定値未満のクラスのセルが前記セル保持手段に保持されていないときに、前記出力帯域が設定値となっているクラスが、前記指示手段に許可されているクラスであって、当該クラスのセルが前記セル保持手段に保持されている場合には、当該クラスのセルを出力することを特徴とするATMスイッチ。

【請求項6】請求項1において、外部から前記優先順位を受け付け、前記優先順位保持手段に受け付けた優先順位を保持させる優先順位指示手段をさらに備えることを特徴とするATMスイッチ。

【請求項7】セルを入力し、予め定められた、当該入力したセルに付加されているサービスの種類を示すクラスに従い、宛先に対応する出力ポートからセルを出力するATMスイッチであって、

前記出力ポート毎であって、前記クラス毎に、前記入力した順にセルを保持するセル保持手段と、

前記出力ポート毎であって、前記クラス毎に、前記セル保持手段に保持されるセルがあるかないかを管理する管理手段と、

前記クラスの複数種の優先順位を保持する優先順位保持手段と、前記優先順位保持手段からいずれか1つの優先順位を選択し、また、あらかじめ定めた時間毎に、当該選択する種類を切り替える選択手段と、

前記出力ポートごとの各クラスにおいて、前記優先順位保持手段の優先順位より優先する、前記出力ポートごとの少なくとも1つのクラスの優先順位を保持する完全優先順位保持手段と、前記出力ポート毎に、前記完全優先順位保持手段に保持されているクラスの優先順位がある場合に、当該優先順位を、前記選択された優先順位保持手段の優先順位より優先させ、当該優先順位において、

より高いクラスであって、前記管理手段において前記セル保持手段に保持されているセルがあると管理されているクラスについて、最先に入力した、前記セル保持手段に保持されているセルを、当該ポートから出力させる読み込み制御手段とを有することを特徴とするATMスイッチ。

【請求項8】複数の入力ポートと、

複数の出力ポートと、

前記複数の入力ポートから入力されたセルに付加されている宛先に対応する出力ポートと、当該セルに付加されているサービスの種類を示すクラスとを識別する識別回路と、

入力されたセルを保持するセルバッファと、

入力されたセルを、前記出力ポート毎であって、前記クラス毎に、入力された順に前記セルバッファに保持させるために、当該セルバッファの書き込みアドレスを指示する書き込み制御回路と、

前記出力ポート毎に、前記優先順位のより高いクラスで

あって、前記セルバッファに保持されているセルがあるとクラスについて、最先に入力した、前記セルバッファに保持されているセルを、当該ポートから出力させるために、読み出しアドレスを指示する読み込み制御回路と、前記書き込みアドレスと前記読み出しアドレスとを、前記出力ポート毎であって、前記クラス毎に保持する管理テーブルと、前記クラスの複数種の優先順位を保持する優先順位制御レジスタと、前記優先順位制御レジスタからいづれか1つの優先順位を選択する選択回路とを有し、前記選択回路は、あらかじめ定めた時間毎に、当該選択する種類を切り替え、また、前記出力ポート毎の各クラスのセルの出力帯域を監視し、当該監視した出力帯域が、当該出力ポートの当該クラスの出力帯域の設定値となつたときに、当該出力ポートの当該クラスを含まない優先順位を、前記優先順位制御レジスタから選択することを特徴とするATMスイッチ。

【請求項9】セルを入力し、予め定められた、当該入力したセルに付加されているサービスの種類を示すクラスに従い、宛先に対応する出力ポートからセルを出力するATMスイッチにおけるセル出力優先制御方法であつて、

前記出力ポート毎であつて、前記クラス毎に、前記入力した順にセルを保持し、

前記出力ポート毎であつて、前記クラス毎に、前記保持するセルがあるかないかを管理し、

前記クラスの複数種の優先順位をレジスタに保持させ、前記出力ポート毎の各クラスのセルの出力帯域を監視し、当該監視した出力帯域が、当該出力ポートの当該クラスの出力帯域の設定値となつたときに、当該出力ポートの当該クラスを含まない優先順位の1つを、前記レジスタから選択し、あらかじめ定めた時間毎に、当該選択する種類を切り替え、前記出力ポート毎に、前記選択された優先順位において、より高いクラスであつて、前記保持されているセルがあると管理されているクラスについて、最先に入力した、前記保持されているセルを、当該ポートから出力することを特徴とするセル出力優先制御方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、ATMスイッチにおいて、スイッチから出力されるセルに優先順位を付けて出力制御を行う方法に関する。

【0002】

【従来の技術】従来のATMスイッチにおけるセルの出力優先制御方式について、図16を参照して説明する。

【0003】図16において、ATMスイッチは、セルを多重するセル多部100と、セルを保持するセルバッファ101と、セルを出力ポート毎に分離するセル分

離部102と、セルのルーティング先及び予め定められた優先順位を示すクラスを識別するルーティング先／優先クラス識別回路103と、セルバッファ101への書き込みを制御するセル書き込み制御回路104と、セルバッファ101からの読み出しを制御するセル読み込み制御回路105と、セルバッファへの書き込みアドレスと読み出しアドレスとを管理する管理テーブル106とを備える。このATMスイッチは、N本の入力ポートから入力されるセルをN本の出力ポートに出力する出力バッファ型のスイッチシステムである。また、クラスは、予め優先順位が定められており、優先順位がより高いクラスのセルについて、優先的に出力させ、下位のクラスのセルを出力させる場合には、そのクラスより上位のクラスのセルを保持していない場合に、そのクラスのセルを出力させる完全優先制御方式により制御を行っている。

【0004】セルバッファ101は、出力ポート毎にクラス分に領域分けされ、入力された順にセルを保持し、より先に入力された順に出力するFIFOバッファの構成を取る。また、管理テーブル106は、出力ポート毎に、出力優先のクラス分けの数分（図16に示す例では、AからDの4クラス分）領域を持ち、その各々の領域に、セルバッファへのセルの書き込みアドレスと読み出しアドレスとを保持する。セルバッファ101のアドレスは、セル書き込み制御回路104とセル読み込み制御回路105とで管理される。

【0005】セルの書き込み動作としては、入力ポートに入力されたセルは、ルーティング先／優先クラス識別回路103にて、出力ポートと優先クラスとが識別される。その後、セル書き込み制御回路104は、管理テーブル106を参照し、識別された該当ポートの該当クラス領域よりセルバッファ101への書き込みアドレスを得て、書き込みアドレスを指示し、セルバッファ101へセルを書き込む。また、セル書き込み制御回路104は、管理テーブルの書き込みアドレス値を+1（加算）することにより、管理テーブルに次の書き込みアドレスを指示する。以上の動作をセル書き込みタイミング毎に繰り返すことでセルバッファ101への書き込み動作を行ふ。

【0006】次に、セル読み込み制御回路105がセルを読み出す場合には、各ポート毎に、管理テーブルを参照し、全てのクラスについて、書き込みアドレスと読み出しアドレスとの差からセルバッファ101に保持するセル数を各クラス毎に求め、保持するセルがある、優先順位が一番高いクラスの読み出しアドレスを指示することにより、より先に入力されたセルを読み出す。セル読み込み制御回路105は、読み出し時に、管理テーブルの該当ポート、該当クラスの読み出しアドレスを+1（加算）する事により、管理テーブルに次の読み出しアドレスを指示する。次のポートについても同様に処理し

ていく。以上のように処理することにより、優先順位に従ってセルを出力している。

【0007】

【発明が解決しようとする課題】上記従来技術による出力セルの優先制御の実現方法では、セルバッファ101の読み出し時に、管理テーブルの全てのクラスの領域にアクセスして、書き込みアドレスと読み出しあドレスとを読み出す必要があり、また、書き込みアドレスと読み出しあドレスとの差からセルバッファ101に保持するセル数を各クラス毎に求める必要がある。このため、管理テーブルへのアクセス頻度が高くなり、処理時間の関係からクラス分けの数に限界が生じる。

【0008】また、優先制御方式が完全優先制御であり、かつ、優先順位はある一つのパターンに固定されているため、セルバッファ101の読み出し時に優先順位の高いクラスばかりが出力される可能性がある。また、各クラスの出力帯域を、固定帯域に設定することができない。このため、希望する帯域を超えてセルが出力されてしまう恐れがある。

【0009】本発明の目的は、効率的に出力セルの優先制御を行うことができ、また、クラス分け（優先順位）の数が増えた場合にも、処理時間が増大しないATMスイッチ及びそのセル出力優先制御方法を提供することにある。

【0010】また、本発明の他の目的は、出力ポート毎に各クラスの出力帯域を設定でき、かつ、出力帯域の保証が可能なATMスイッチ及びそのセル出力優先制御方法を提供することにある。

【0011】

【課題を解決するための手段】本発明では、セルを入力し、予め定められた、当該入力したセルに付加されているサービスの種類を示すクラスに従い、宛先に対応する出力ポートからセルを出力するATMスイッチであって、前記出力ポート毎であって、前記クラス毎に、前記入力した順にセルを保持するセル保持手段と、前記出力ポート毎であって、前記クラス毎に、前記セル保持手段に保持されるセルがあるかないかを管理する管理手段と、前記クラスの複数種の優先順位を保持する優先順位保持手段と、前記優先順位保持手段からいずれか一つの優先順位を選択する選択手段と、前記出力ポート毎に、前記選択手段により選択された優先順位において、より高いクラスであって、前記管理手段において前記セル保持手段に保持されているセルがあると管理されているクラスについて、最先に入力した、前記セル保持手段に保持されているセルを、当該ポートから出力させる読み込み制御手段とを有し、前記選択手段は、あらかじめ定めた時間毎に、当該選択する種類を切り替え、また、前記出力ポート毎の各クラスのセルの出力帯域を監視し、当該監視した出力帯域が、当該出力ポートの当該クラスの出力帯域の設定値となったときに、当該出力ポートの当該クラスを含まない優先順位を、前記優先順位保持手段から選択する。

いての当該クラスを含まない優先順位を、前記優先順位保持手段から選択する。

【0012】より具体的には、複数の入力ポートと、複数の出力ポートと、前記複数の入力ポートから入力されたセルに付加されている宛先に対応する出力ポートと、当該セルに付加されているサービスの種類を示すクラスとを識別する識別回路と、入力されたセルを保持するセルバッファと、入力されたセルを、前記出力ポート毎であって、前記クラス毎に、入力された順に前記セルバッファに保持させるために、当該セルバッファの書き込みアドレスを指示する書き込み制御回路と、前記出力ポート毎に、前記優先順位のより高いクラスであって、前記セルバッファに保持されているセルがあるとクラスについて、最先に入力した、前記セルバッファに保持されているセルを、当該ポートから出力させるために、読み出しあドレスを指示する読み込み制御回路と、前記書き込みアドレスと前記読み出しあドレスとを、前記出力ポート毎であって、前記クラス毎に保持する管理テーブルと、前記クラスの複数種の優先順位を保持する優先順位

10 制御レジスタと、前記優先順位制御レジスタからいずれか一つの優先順位を選択する選択回路とを有し、前記選択回路は、あらかじめ定めた時間毎に、当該選択する種類を切り替え、また、前記出力ポート毎の各クラスのセルの出力帯域を監視し、当該監視した出力帯域が、当該出力ポートの当該クラスの出力帯域の設定値となったときに、当該出力ポートの当該クラスを含まない優先順位を、前記優先順位制御レジスタから選択することができる。

【0013】本発明によれば、複数のサービス（品質）30 クラス毎に分けられたセルバッファ内のセルを優先順位の高いものから効率的に読み出すことができる。セル読み出し処理時、読み出すべきクラスを簡単に認識することができ、また、セルの読み出しあドレスを格納した管理テーブルへのアクセスは、出力するクラスに対応する領域のみで済むので、クラス分けの数が増えても処理時間に影響を与えることがない。

【0014】また、本発明によれば、前記出力ポート毎の各クラスのセルの出力帯域を監視し、当該監視した出力帯域が、当該出力ポートの当該クラスの出力帯域の設定値となったときに、当該出力ポートの当該クラスを含まない優先順位を、前記優先順位保持手段から選択するため、出力帯域を保証することができる。また、選択する優先順位の種類を切り替えるあらかじめ定めた時間を、設定することにより帯域分割を実現することができ、一つのクラスばかりが出力されることを避けられる。

【0015】

【発明の実施の形態】本発明の第1の実施の形態を図1 1を参照して説明する。

【0016】図11において、ATMスイッチは、セル

を多重するセル多重部1と、セルを保持するセルバッファ2と、セルを出力ポート毎に分離するセル分離部3と、セルのルーティング先及び優先クラスを識別するルーティング先／優先クラス識別回路4と、セルバッファ2への書き込みを制御するセル書き込み制御回路5と、セルバッファ2からの読み出しを制御するセル読み込み制御回路90と、出力の優先順位を保持する優先順位制御レジスタ92(a)～(d)の4つと、ラウンドロビンテーブル91と、4つの優先順位制御レジスタの中での優先順位制御レジスタを利用するか選択する優先順位制御レジスタ選択部93と、出力ポート毎であって、各クラス毎にセルバッファ2に保持されるセルがあるかないかをフラグ(以下、キューフラグという)により示すポート管理テーブル8と、セルバッファ2の書き込みアドレスと読み出しアドレスとを出力ポート毎であって、各クラス毎に保持するキューマネージメントテーブル9とを備える。本発明の実施の形態におけるATMスイッチは、N本の入力ポートから入力されるセルをN本の出力ポートに出力する出力バッファ型のスイッチシステムである。クラスは、優先順位制御レジスタによって優先順位(本実施の形態において、優先順位列を単に優先順位という)が定められ、優先順位がより高いクラスのセルについて、優先的に出力させ、下位のクラスのセルを出力させる場合には、そのクラスより上位のクラスのセルを保持していない場合にそのクラスのセルを出力させる完全優先制御方式により制御を行っている。さらに、ラウンドロビンテーブルによって、複数種類ある優先順位制御レジスタのうち利用する優先順位制御レジスタを定期的に巡回させることで、完全優先制御によるセル出力クラスの偏りをなくし、帯域分割を実現する。

【0017】本実施の形態では、品質クラスの数をクラスAからクラスDまでの4つとした場合を例にする。図2に、ポート管理テーブル8の構成を示す。

【0018】ポート管理テーブル8は、図2に示すように、4つのクラスに分けられたセルのキュ(待ち状態)があるかないかを示すキューフラグの情報を、出力ポート毎に、各クラス1ビットずつ記憶する。このため、テーブル全体の容量は $4 \text{ビット} \times n$ (ポート数)ビットの容量を備える。キューフラグは、セルバッファ2に保持されるセルがある時(キュー有りの時)に1がセットされ、セルバッファ2に保持されるセルが無い時(キュー無しの時)にはリセットされて0を示す。

【0019】また、キューマネージメントテーブル9は、図11に示すように、各ポートごとに、各クラス(クラスA～クラスD)分の領域を備え、各ポートごとの各クラスのセルバッファ2のセルの書き込み位置情報(書き込みアドレス)と、読み出し位置情報(読み出しアドレス)と、書き込みアドレス値から読み出しアドレス値を減算した値であるキューバリュー(セルバッファ2に保持されるセル数)とが格納される。テーブル全体の容量は4(クラス数)

10

20

30

40

50

ビット $\times n$ (ポート数)ビット \times (セル書き込みアドレスのビット数+読み出しアドレスのビット数+キューバリューのビット数)を備える。

【0020】また、セルバッファ2は、出力ポート毎にクラス分に領域分けされ、入力された順に保持し、より先に入力された順に出力するFIFOバッファの構成を取る。セルバッファ2のアドレスは、セル書き込み制御回路5とセル読み込み制御回路90とで管理され、出力ポート毎であってクラス毎にFIFOバッファを持つようアドレス値が示され、本実施の形態においてアドレスは、シーケンシャルな番号であるものとし、アドレス1から順番に保持するものとする。

【0021】ルーティング先／優先クラス識別回路4は、セルに付加されているセルヘッダ情報を解析し、セルヘッダ情報に含まれる宛先に対応する出力ポートと出力の優先順位を示すクラスとを識別する。

【0022】セル書き込み制御回路5は、前記入力されたセルについて、ルーティング先／優先クラス識別回路4で識別された、セルの出力ポートとクラスとに従って、キューマネージメントテーブル9を参照することにより入力された順にセルバッファ2の書き込みアドレスを指示して当該入力されたセルをセルバッファ2に保持させる。また、セル書き込み制御回路5は、書き込んだセルの出力ポートの該当クラスのポート管理テーブル8のキューフラグをセットし、また、書き込んだセルの出力ポートの該当クラスのキューマネージメントテーブル9の、書き込みアドレスを+1(加算)することにより、つぎの書き込みアドレスを示すように指示する。さらに、書き込んだセルの出力ポートの該当クラスのキューマネージメントテーブル9の、キューバリューを+1(加算)する。

【0023】優先順位制御レジスタ92は、各クラスの優先順位を保持する。例えば、クラスとして、A、B、C及びDがある場合に、優先順位としては、高いものからA、B、C、Dとするように保持しておく。優先順位制御レジスタ92は、書換えが可能であり、指示部94からクラスの優先順位を指示し、優先順位制御レジスタ92に優先順位を保持させることができる。

【0024】優先順位制御レジスタ選択部93は、4つの優先順位制御レジスタ(a)～(d)のうちいずれか一つを選択する選択部である。ラウンドロビンテーブル91は、優先順位制御レジスタ選択部93が優先順位制御レジスタ(a)～(d)のうちどれを選択するかの選択信号を生成する選択信号生成部である。ラウンドロビンテーブル15の(a)～(d)は、各々優先順位制御レジスタ(a)～(d)を示し、(a)→(b)→(c)→(d)…→(a)→(b)…と定期的に選択信号を出力する。セル読み込み制御回路90は、セルバッファ読み出し処理時に、優先順位制御レジスタを参照し、その優先順位に従い、セルを読み出す構成をとっている。優先順位制御レジスタの優先順位が、ある1

つのパターンに固定されると、読み出し要求毎に優先順位の高いクラスのセルばかりが出力される可能性があるが、これに対して、第1の実施の形態では、セル読み込み制御回路90が検索する優先順位制御レジスタを巡回させることができる。この場合、選択信号(a)、(b)、(c)、(d)のいずれかによって4つの優先順位制御レジスタ(a)～(d)のいずれかを利用することができる。

【0025】例えば、ある読み出しタイミングにおいて、ラウンドロビンテーブル91の値が“(a)”であった場合は、セル読み込み制御回路90が検索する優先順位制御レジスタは優先順位制御レジスタ(a)であり、読み出しセルの優先順位はクラスA、クラスB、クラスC、クラスDの順番となる。また、別の読み出しタイミング時に、ラウンドロビンテーブル91の値が

“(C)”であった場合は、セル読み込み制御回路90が検索する優先順位制御レジスタは優先順位制御レジスタ(C)であり、読み出しセルの優先順位はクラスC、クラスD、クラスA、クラスBの順番となる。これにより、優先順位の高いクラスのセルに偏って読み出されることを回避し、各クラスに出力の機会を与えることができ、帯域分けが可能となる。ラウンドロビンテーブルは、例えば、全ポートで各1セル出力毎に変更することができる。

【0026】セル読み込み制御回路90は、出力ポートごとに、優先順位制御レジスタ選択部93によって選択されている、優先順位制御レジスタ92が保持する優先順位の高いクラスから順番に、ポート管理テーブル8のキーフラグを参照し、セルバッファ2に保持されるセルがあると示されているキーフラグに対応するクラスのより先に入力されたセルを、キュー管理テーブル9を参照し、読み出しあドレスを指示して当該出力ポートから出力させる。また、キュー管理テーブル9が保持する読み出しあドレスを、当該出力させたセルのつぎに入力されたセルの読み出しあドレスを示すように、読み出しあドレスを+1(加算)する。さらに、当該出力させた出力ポートのクラスの、キュー管理テーブル9のキュー値を-1(減算)し、キュー値が0のとき、すなわち、セルバッファ2に保持されるセルがない場合に、当該出力させた出力ポートのクラスのポート管理テーブル8のキーフラグをリセットする。

【0027】つぎに、図11を参照してセルバッファ2への書き込みと読み出しとの動作を説明する。

【0028】図11において、各入力ポートから入力されるセルは、セル多重部1でセル単位に多重された後、ルーティング先/優先クラス識別回路4でセルに付加されているセルヘッダ情報が解析される。セルヘッダ情報には、出力先ポートの識別情報とセルのクラスの識別情報とが含まれている。ルーティング先/優先クラス識別回路4は、セルヘッダ情報に含まれるセルの出力ポート

を認識すると共に、入力されたセルの出力の優先順位を示すクラスを識別し、セル書き込み制御回路5に識別結果を出力する。

【0029】ルーティング先/優先クラス識別回路4にて、出力ポートと優先クラスとが識別された後、セル書き込み制御回路5は、ポート管理テーブルの該当ポート、該当クラス領域にキーフラグをセットし(論理値“1”にし)、キュー管理テーブル9の該当ポートの該当クラス領域を参照し、セルバッファ2への書き込みアドレスを得て、この書き込みアドレスを指示する事により、セルバッファ2へセルの情報を書き込む。また、セル書き込み制御回路5は、書き込んだセルの出力ポートの該当クラスのキュー管理テーブル9の、書き込みアドレスを+1(加算)することにより、つぎの書き込みアドレスを示すように指示する。さらに、書き込んだセルの出力ポートの該当クラスのキュー管理テーブル9の、キュー値を+1(加算)する。

【0030】以上の動作を、セル書き込みタイミング毎に繰り返すことでセルバッファ2への書き込み動作を行う。

【0031】セルを読み出す場合には、セルバッファ2からセルを読み出すタイミングは、ポート1からポートNまでそれぞれ定期的に到来する。まず、セル読み込み制御回路90は、ポート管理テーブル8を検索し、所定のポートのクラスA～クラスDまでの各々のキーフラグを認識する。次に、クラスA～クラスDまでの優先順位を予め設定してある優先順位制御レジスタ92を検索し、セルの読み出し優先順位を認識する。次に、セル読み込み制御回路90は、優先順位に従って、ポート管理テーブルの該当出力ポートの該当クラスのキューが論理“1”的クラスについて、キュー管理テーブル9から読み出しあドレスを得て、この読み出しあドレスを指示することによりセルバッファ2からセルの情報を読み出す。また、キュー管理テーブル9が保持する読み出しあドレスを、当該出力させたセルのつぎに入力されたセルの読み出しあドレスを示すように、読み出しあドレスを+1(加算)する。さらに、当該出力させた出力ポートのクラスの、キュー管理テーブル9のキュー値を-1(減算)し、減算後のキュー値が0のとき、当該出力させた出力ポートのクラスのポート管理テーブル8のキーフラグをリセットする。

【0032】このようにして、セル読み込み制御回路90は、キーフラグが“1”であるクラスについて、優先クラス順に、キュー管理テーブル9より、セル読み出しあドレスを得て、このセルの格納されているセルバッファ2内の読み出しあドレスを順次指示し、セルバッファ2からセルを読み出す。セル分離部3では、セルバッファメモリから読み出されたセルを各出力ポート毎に分離する。

【0033】読み出し動作は、あるポートにおいて、あ

るクラスのセルを1つ出力したら次のポートの処理へ移り同様な処理を行い、ポート1からポートNまでの処理が繰り返し行われる。

【0034】つぎに、セル読み込み制御回路90における詳細な動作を図12～図15を参照して説明する。図13に、セル読み込み制御回路90におけるセルバッファ読み出しフローを示す。また、図12に、ポート管理テーブルのキューフラグの例を示す。図12(a)に示すように、出力ポート1の各クラスのキューフラグを、

クラスAは“1”、クラスBは“0”、クラスCは“0”、クラスDは“1”とし、また、ラウンドロビンテーブル91の値が“(a)”、つまり、優先順位制御レジスタ選択部93が選択する優先順位制御レジスタが(a)であり、優先順位制御レジスタ(a)に設定されている優先順位情報を、クラスA、B、C、Dの順番

(クラスAが優先順位が一番高く、クラスDが優先順位が一番低い)とした場合について、図13を用いて説明する。

【0035】図13において、まずセル読み込み制御回路は、ポート管理テーブル8のポート1の領域を検索し(ステップ40)、A=1、B=0、C=0、D=1の情報を認識する(ステップ41)。次に、セル読み込み制御回路は、優先順位制御レジスタ92(a)を検索し、各クラスの優先順位が、クラスA、B、C、Dの順番であることを認識する(ステップ42)。ステップ41および42によって、以降のクラス単位の処理の順番が決まり、図13に示すように、この場合、クラスAから、実際のセルバッファ2からの読み出し動作を行う

(ステップ45)。この例において、クラスAは、既にキューフラグが“1”であるので、キューフラグ状態判定(ステップ95)において、判定後分岐47へ移り、キューマネージメントテーブル9のポート1のクラスAの領域を参照することによりセルバッファ2の読み出しアドレスを得て、セルバッファ2の読み出しタイミングで、読み出しアドレスを指示することによりセルバッファ2からセルの情報を出力させる。つぎに、セル読み込み制御回路90は、クラスAのセルバッファ2の読み出しアドレスを1加算することにより、つぎの読み出しアドレスとする(ステップ48)。また、ポート管理テーブル内のキューバリューは、書き込みアドレスから読み出しアドレスを減算したものがキューバリューであるため、セル読み込み制御回路90はポート1のクラスAのキューバリューを-1(減算)する(ステップ49)。次に、セル読み込み制御回路90は、キューバリューが0であるか、またはそれ以外であるかを判断し(ステップ50)、“0”であれば出力すべきセルが無いと判断し、ポート管理テーブル8のポート1のクラスA領域のキューフラグを“0”にする(ステップ51)。“0”以外であった場合は、キューフラグが、既に“1”であるので、そのまま次の処理へ移る(分岐52)。

【0036】セルバッファ2から読み出されたクラスAのセルはセル分離部3を経て、出力ポート1へ出力される。ポート1に対して、クラスAのセルを出力したら、次はポート2のセル読み出し処理へ移り(分岐53)、以降ポート2からポートnの読み出し処理が同様に行われる。ポートnの読み出し処理後、ポート1に戻り、ポート1からポートnまでの処理が繰り返し行われる。

【0037】次に、再びポート1の読み出し処理へ戻ったときに、図12(b)に、ポート管理テーブルのキューフラグを示すように、出力ポート1の各クラスのキューフラグを、クラスAは“0”、クラスBは“0”、クラスCは“0”、クラスDは“1”とし、また、ラウンドロビンテーブル91の値が(b)、つまり、優先順位制御レジスタ選択部93が選択する優先順位制御レジスタが(b)に切り替わり、優先順位制御レジスタに設定されている優先順位情報を、クラスB、C、D、Aの順番(クラスBが優先順位が一番高く、クラスAが優先順位が一番低い)とした場合について、クラスDのセルを読み出す場合の例を図14を用いて説明する。

【0038】セル読み込み制御回路90は、前述と同様、ポート管理テーブル8のポート1の領域を検索し(ステップ40)、A=0、B=0、C=0、D=1の情報を認識する(ステップ41)。次に、セル読み込み制御回路90は、優先順位制御レジスタ92(b)を検索し、各クラスの優先順位が、クラスB、C、D、Aの順番であることを認識する(ステップ42)。次に、優先順位の順番よりクラスBのセル読み出し処理55に移行し、クラスBのセルのキューフラグが“0”的ため、キューフラグ状態判定(ステップ95)において、分岐54を経由することで、クラスBの読み出し動作を行わない。つまり、読み出すべきセルが無い場合には、キューマネージメントテーブル9にアクセスせず、次の優先順位のクラスのセル(クラスC)の処理へ移る。

【0039】次に、優先順位が2番目のクラスCのセルについても、同様に読み出し動作ステップ56において、クラスCのセルのキューフラグもクラスBと同様に“0”的ため、キューフラグ状態判定における判定後、次の優先順位のクラスのセル(クラスD)の処理(ステップ57)へ移る。クラスDのセルのキューフラグ状態は、“1”であるため、キューフラグ状態判定(ステップ95)において、セルバッファ2の読み出し処理へ移り、キューマネージメントテーブル9のポート1のクラスDの領域を参照することによりセルバッファ2のクラスDのセルバッファの読み出しアドレスを得て、セルバッファ2の読み出しタイミングで、読み出しアドレスを指示することによりセルバッファ2からセルの情報を出力させる。つぎに、セル読み込み制御回路90は、クラスDのセルバッファ2の読み出しアドレスを1加算することにより、次の読み出しアドレスとする。(ステップ48)。また、ポート管理テーブル9のキューバリューは、書き込みアド

レスから読み出しアドレスを減算したものがキュー値であるため、セル読み込み制御回路90はポート1のクラスDのキュー値を-1（減算）する（ステップ49）。次に、セル読み込み制御回路90は、キューの値が0であるか、またはそれ以外であるかを判断し（ステップ50），“0”であれば出力すべきセルが無いと判断し、ポート管理テーブル8のポート1のクラスD領域のキューフラグを“0”にする（ステップ51）。“0”以外であった場合は、キューフラグが、既に“1”であるので、そのまま次の処理へ移る（分岐52）。

【0040】セルバッファから読み出されたクラスDのセルはセル分離部3を経て、出力ポート1へ出力される。その後は分岐53を経て、次のポート2の読み出し処理へ移る。

【0041】次に、再びポート1の読み出し処理へ戻ったときに、図12(c)に、ポート管理テーブルのキューフラグを示すように、出力ポート1の各クラスのキューフラグを、クラスAは“0”、クラスBは“1”、クラスCは“0”、クラスDは“0”とし、また、ラウンドロビンテーブル91の値が(c)つまり、優先順位制御レジスタ選択部93が選択する優先順位制御レジスタが(c)に切り替わり、優先順位制御レジスタに設定されている優先順位情報を、クラスC、D、A、Bの順番（クラスCが優先順位が一番高く、クラスBが優先順位が一番低い）とした場合について、クラスBのセルを読み出す場合の例を図15を用いて説明する。

【0042】セル読み込み制御回路90は、前述と同様、ポート管理テーブル8のポート1の領域を検索し（ステップ40）、A=0、B=1、C=0、D=0の情報を認識する（ステップ41）。次に、セル読み込み制御回路90は、優先順位制御レジスタ92(c)を検索し、各クラスの優先順位が、クラスC、D、A、Bの順番であることを認識する（ステップ42）。次に、優先順位の順番よりクラスCのセル読み出し処理56に移行し、クラスCのセルのキューフラグが“0”的ため、キューフラグ状態判定（ステップ95）において、分岐54を経由することで、読み出し動作を行わない。クラスDおよびAのセルについてもクラスCのセルと同様、キューフラグが“0”的ためセルの出力は行わず、次のクラスBのセル読み出し処理に移行する。

【0043】クラスBのセルのキューフラグ状態は、“1”であるため、キューフラグ状態判定（ステップ95）において、セルバッファの読み出し処理へ移り、キュー管理テーブル9のポート1のクラスBの領域を参照することによりセルバッファ2のクラスBのセルバッファの読み出しアドレスを得て、セルバッファの読み出しタイミングで、読み出しアドレスを指示することによりセルバッファ2からセルの情報を出力させる。つぎに、セル読み込み制御回路90は、クラスBのセルバッファ2の読み出しアドレスを1加算することにより、次の読

み出しアドレスとする（ステップ48）。また、ポート管理テーブル9のキュー値は、書き込みアドレスから読み出しアドレスを減算したものがキュー値であるため、セル読み込み制御回路90はポート1のクラスBのキュー値を-1（減算）する（ステップ49）。次に、セル読み込み制御回路90は、キューの値が0であるか、又はそれ以外であるかを判断し（ステップ50），“0”であれば出力すべきセルが無いと判断し、ポート管理テーブル8のポート1のクラスB領域のキューフラグを“0”にする（ステップ51）。“0”以外であった場合は、キューフラグが、既に“1”であるので、そのまま次の処理へ移る（分岐52）。

【0044】セルバッファから読み出されたクラスBのセルはセル分離部3を経て、出力ポート1へ出力される。

【0045】以上、説明したように処理することにより、各ポートごとに、優先順位のより高いクラスのセルを出力することができる。第1の実施の形態の形態によれば、キューフラグの状態を判断することで、出力すべきセルがあるクラスを認識することができる。従来、出力すべきクラスの判断時に、アドレス（数ビットの情報）を保持するキュー管理テーブルの全クラスを参照して、キューがあるかないかを判断し、出力すべきクラスを判断しなければならなかつたが、本実施の形態によれば、各クラスのキューフラグ（1ビットの情報）を参照することにより、優先順位のより高いクラスのセルを出力することができる。また、セルの読み出し位置アドレスを格納したキュー管理テーブルへのアクセスは、出力するクラスに対応する領域のみで済むので、クラス分けの数が増えても処理時間に影響を与えることがない。すなわち、キュー管理テーブルへのアクセス回数及びその処理時間を軽減できることにより、クラス分けの数を容易に増やすことができる。このため、クラス分けの数は従来の10数倍が期待できる。

【0046】また、第1の実施の形態の形態によれば、複数種類ある優先制御レジスタのうち利用する優先順位制御レジスタを定期的に巡回させることで、完全優先制御によるセル出力クラスの偏りをなくし、帯域分割を実現することができる。

【0047】また、優先順位制御レジスタ92をマイコンインターフェースとする事で、書き換え可能な仕組みとなり、指示部94から優先順位を指示することにより、優先順位の任意の変更が可能となる。

【0048】また、ラウンドロビンテーブルの選択信号の出力による優先順位制御レジスタを選択している時間は、全ての優先順位制御レジスタで同じ時間にてもよいし、各優先順位制御レジスタ毎に異ならせるようにしてもよい。例えば、優先順位制御レジスタ(a)についてはセル出力数20セル分、優先順位制御レジスタ

(b)及び(c)についてはセル出力数10セル分、優

先順位制御レジスタ (d) についてはセル出力数 5 セル分というように異ならせることができる。

【0049】次に、第2の実施の形態について説明する。

【0050】第1の実施の形態の帯域分割方法では最低送出帯域の保証が可能であるが、クラス毎の出力帯域を固定することに関しては何ら考慮していない。例えば 4 つの品質クラスのバッファに常にセルが蓄積されているときには、出力ポートの帯域を正確に分割することができるが、どれか一つ以上のクラスのバッファが一時的に空になると帯域分割は固定でなくなる。また、帯域分割をラウンドロビンテーブル上に設定する優先順位制御レジスタの割合で決定するので、各クラスの出力帯域を細かく設定しようとするとラウンドロビンテーブルが大きくなり、情報格納用のメモリが大量に必要となる。さらに、出力ポート毎に異なる割合で帯域分割するためには、出力ポートの数だけラウンドロビンテーブルが必要となり、メモリ量を増やす必要がある。また、一つのクラス、例えばクラス A を最優先で出力処理したい場合、全ての優先順位制御レジスタの優先順位の一番目をクラス A にすることになり、この場合、他のクラスは最低送出帯域さえも保証することができない。

【0051】第2の実施の形態では、上記問題点を是正する事を目的とする。第2の実施の形態を図1を参照して説明する。

【0052】図1において、ATMスイッチは、セルを多重するセル多重部1と、セルを保持するセルバッファ2と、セルを出力ポート毎に分離するセル分離部3と、セルのルーティング先及び優先クラスを識別するルーティング先／優先クラス識別回路4と、セルバッファ2への書き込みを制御するセル書き込み制御回路5と、セルバッファ2からの読み出しを制御する優先順位変更／セル読み込み制御回路6と、出力の優先順位を保持する優先順位制御レジスタ13 (1)～(32)の32個と、ラウンドロビンテーブル15 (a)～(o)の15個と、32個の優先順位制御レジスタの中でどの優先順位制御レジスタを利用するか選択する優先順位制御レジスタ選択部14と、15個のラウンドロビンテーブルの中でどのラウンドロビンテーブルを利用するか選択するラウンドロビンテーブル選択部16と、出力セル数を計数し、各クラスの設定された出力帯域を超えないようにラウンドロビンテーブルを選択する信号を作成する出力キュークォンタ／ラウンドロビンテーブル制御部12と、出力ポート毎であって、各クラス毎にセルバッファ2に保持されるセルがあるかないかをキーフラグにより示すポート管理テーブル8と、セルバッファ2の書き込みアドレスと読み出しアドレスとを出力ポート毎であって、各クラス毎に保持するキュー管理テーブル9と、完全優先指示情報を保持する完全優先指示レジスタ10と、空きスロットへのセル挿入指示情報を保持する空き

スロットへのセル挿入指示レジスタ11とを備える。本発明の第2の実施の形態におけるATMスイッチは、N本の入力ポートから入力されるセルをN本の出力ポートに出力する出力バッファ型のスイッチシステムである。

各クラスは、優先順位制御レジスタによって優先順位が定められ、優先順位がより高いクラスのセルについて、優先的に出力させ、下位のクラスのセルを出力させる場合には、そのクラスより上位のクラスのセルを保持していない場合にそのクラスのセルを出力させる完全優先制御方式により制御を行っている。さらに、ラウンドロビンテーブルによって、複数種類ある優先順位制御レジスタのうち利用する優先順位制御レジスタを定期的に巡回させることで、完全優先制御によるセル出力クラスの偏りをなくし、帯域分割を実現し、かつ、複数あるラウンドロビンテーブルを変更する事によって各ポート、各クラスに設定された出力帯域を超えないように制御を行うことができる。また、ポート毎に各クラスの、優先順位制御レジスタ13の示す優先順位よりも優先して使用される順位を指示する完全優先指示と、あるクラスの出力

20 帯域が超えた場合に、他のクラスのキューがなく空きセルを挿入するときに、出力帯域が超えたクラスのセルの出力を許可するように指示する空きセル挿入指示を行なうことが可能である。本実施の形態では、品質クラスの数をクラスAからクラスDまでの4つとした場合を例にする。

【0053】ポート管理テーブル8、キュー管理テーブル9、セルバッファ2、ルーティング先／優先クラス識別回路4およびセル書き込み制御回路5については、第1実施の形態で説明したものと同一の構成であり、同一の動作を行なう。

【0054】優先順位制御レジスタ13は、各クラスの優先順位を保持する。例えば、クラスとして、A、B、C及びDがあり、優先順位が高いものからA→B→C→Dとする場合、レジスタには高いものからA、B、C、Dとするように保持しておく。また、4クラスのうちクラスDの出力帯域が設定値以上であり、クラスDを出力しない場合は、優先順位として高いものからA、B、Cとするように保持し、4番目は空にしておく。第2の実施の形態では、各クラスの出力帯域を管理し、各クラスの出力帯域毎に優先順位を変更するようにしている。第2の実施の形態では、図3に示すように、32個の優先順位制御レジスタを用意し、32種類の優先順位を保持し、出力セル数が設定帯域を超過したクラスを除いた残りのクラスで、帯域分割を可能としている。例えば、クラスAの出力セル数が設定帯域を超過した場合には、

40 (5)、(6)、(7)の優先順位制御レジスタを選択することにより、クラスB、C、D間で任意に帯域分割することができる。また、優先順位制御レジスタ13は、書替えが可能であり、指示部18からクラスの優先順位を指示し、優先順位制御レジスタ13に優先順位を

保持させることができる。

【0055】優先順位制御レジスタ選択部14は、32個の優先順位制御レジスタ(1)～(32)のうちいずれか一つを選択する選択部である。ラウンドロビンテーブル15は、優先順位制御レジスタ選択部14が優先順*

*位制御レジスタ(1)～(32)のうちどれを選択するかの選択信号を生成する選択信号生成部である。ラウンドロビンテーブルの内容を表1に示す。

【0056】

【表1】

表1

ラウンドロビンテーブル

(a) (1) (2) (3) (4)	全クラスの出力セル数が設定帯域以下
(b) (5) (6) (7)	クラスAの出力セル数が設定帯域を超過
(c) (8) (9) (10)	クラスBの出力セル数が設定帯域を超過
(d) (11) (12) (13)	クラスCの出力セル数が設定帯域を超過
(e) (14) (15) (16)	クラスDの出力セル数が設定帯域を超過
(f) (17) (18)	クラスA,Bの出力セル数が設定帯域を超過
(g) (19) (20)	クラスA,Cの出力セル数が設定帯域を超過
(h) (21) (22)	クラスA,Dの出力セル数が設定帯域を超過
(i) (23) (24)	クラスB,Cの出力セル数が設定帯域を超過
(j) (25) (26)	クラスB,Dの出力セル数が設定帯域を超過
(k) (27) (28)	クラスC,Dの出力セル数が設定帯域を超過
(l) (29)	クラスA,B,Cの出力セル数が設定帯域を超過
(m) (30)	クラスA,B,Dの出力セル数が設定帯域を超過
(n) (31)	クラスA,C,Dの出力セル数が設定帯域を超過
(o) (32)	クラスB,C,Dの出力セル数が設定帯域を超過

【0057】図3及び表1において、ラウンドロビンテーブル15(a)の場合(1)～(4)は、各々優先順位制御レジスタ(1)～(4)を示し、(1)→(2)→(3)→(4)→(1)→(2)…と定期的に選択信号を出力する。本実施の形態においては、全てのポートで1セル出力毎に、ラウンドロビンテーブル15(a)～(o)すべての優先順位制御レジスタの選択を切り替えている。また、ラウンドロビンテーブル選択部16は、15個のラウンドロビンテーブル(a)～(o)のうちいずれか一つを選択する選択部である。優先順位変更／セル読み込み制御回路6は、セルバッファ読み出し処理時に、優先順位制御レジスタ13を参照し、その優先順位に従い、セルを読み出す構成をとっており、優先順位制御レジスタの優先順位が、ある1つのパターンに固定されると、読み出し要求毎に優先順位の高いクラスのセルばかりが outputされる可能性があるが、これに対して、第2の実施の形態では、優先順位変更／セル読み込み制御回路6が検索する優先順位制御レジスタをラウンドロビンテーブル15によって巡回させることができる。ラウンドロビンテーブル選択部16が、ラウンドロビンテーブル15(a)を選択する場合、選択信号(1)、(2)、(3)、(4)のいずれかによって4つの優先順位制御レジスタ(1)～(4)

のいずれかを利用することができる。

【0058】例えば、ある読み出しタイミングにおいて、ラウンドロビンテーブル15(a)の値が“(1)”であった場合は、優先順位変更／セル読み込み制御回路6が検索する優先順位制御レジスタは優先順位制御レジスタ(1)であり、読み出しセルの優先順位はクラスA、クラスB、クラスC、クラスDの順番となり、また、別の読み出しタイミング時に、ラウンドロビンテーブル15(a)の値が“(3)”であった場合は、優先順位変更／セル読み込み制御回路6が検索する優先順位制御レジスタは優先順位制御レジスタ(3)であり、読み出しセルの優先順位はクラスC、クラスD、クラスA、クラスBの順番となる。これにより、優先順位の高いクラスのセルに偏って読み出されることを回避し、各クラスに出力の機会を与えることができ、帯域分けが可能となる。

【0059】出力キューカウンタ／ラウンドロビンテーブル制御部12は、各ポートの各クラス毎の出力セル数を計数し、出力セル数に応じてラウンドロビンテーブル15(a)～(o)を選択する信号を作成する。図4に、出力キューカウンタ／ラウンドロビンテーブル制御部12の構成を示す。以下、図4を参照して出力キューカウンタ／ラウンドロビンテーブル制御部12の動作を

説明する。

【0060】図4において、出力キューカウンタ／ラウンドロビンテーブル制御部12は、ポート毎の各クラスの帯域を保持する帯域設定レジスタ20、出力セル数を計数する出力セル数カウンタ23、設定された帯域を超過しているか否かを判別する帯域超過判別回路21、指示部400により指示された優先制御周期を保持する優先制御周期レジスタ401、セルのクロック信号をカウントする周期カウンタ402、および、優先制御周期レジスタ401に保持する優先制御周期と周期カウンタ402との値を比較し、一致する場合に出力セル数カウンタに対してリセット信号を出力する比較器403とを備える。ここで、優先制御周期とは、出力セル数カウンタをリセットする周期であり、優先順位に従ってセルを送出する際の監視周期である。例えば、優先制御周期を12セル時間とすると、12セル(空きセルも含む)出力毎に、各クラスの出力セル数カウンタをリセットする。この優先制御周期が、例えば120セルと長い時間であると、各クラスの出力帯域をより細かく設定することが可能となるが、その反面、各クラスのセルバッファへのセル蓄積状況によっては、優先制御周期内で特定クラスのセルが連続して出力される可能性がある。優先制御周期は、ユーザにより指示部400から指示される。

【0061】帯域設定レジスタ20は、各ポート内での各クラスの出力帯域を示すデータを保持する。実際に保持する情報は、優先制御周期内で出力可能とするセル数であり、例えば、ポートの出力帯域が100Mbit/sで、クラスA、B、C、Dの4クラスの出力帯域を全て25Mbit/sにする場合、優先制御周期を12セル時間とすれば、各クラスのレジスタへの設定値は12セル×25M/100M=3セルとなる。また、指示部22から出力帯域を指示することにより、帯域設定レジスタ20に各クラスの出力帯域を設定することができる。

【0062】出力セル数カウンタ23は、各ポートの出力セル数をクラス毎に計数するカウンタである。優先順位変更／セル読み込み制御回路6から、出力するセルの出力ポートとクラスの情報を得て、出力ポート毎であって、クラス毎に出力セル数をカウントする。出力セル数カウンタ23は、セル出力時に、優先順位変更／セル読み込み制御回路6から指示される出力したセルのポート番号を示すPORT選択信号1によりポートが選択され、かつ、優先順位変更／セル読み込み制御回路6から指示され、セル出力時に出力したクラスに対応するイネーブル信号を受け、イネーブル信号に対応するクラスについて、カウントアップを行う。カウント値は優先制御周期毎に、比較器403から出力されるリセット信号によりリセットされる。比較器403は、セルのクロック信号をカウントする周期カウンタ402と、優先制御周期レジスタ401に保持する優先制御周期との値を比較

し、一致する場合に出力セル数カウンタに対してリセット信号を出力する。

【0063】優先順位変更／セル読み込み制御回路6は、セル出力時に、出力したクラスに対応する信号線をイネーブルし、それ以外の信号線をネガートする。

【0064】帯域超過判別回路21は、各ポートのセル読み出しタイミング(POR選択信号2の指示タイミング)で、クラス毎に帯域設定レジスタ20の設定値と出力セル数カウンタ23のカウント値とを比較し、カウント値が設定値を超えているクラスを含まないラウンドロビンテーブルを選択するように、ラウンドロビンテーブル選択信号を作成する。POR選択信号2は、POR選択信号1を遅延させた信号であり、出力したセルのポート番号を示す。例えば、図3を用いて説明すると、クラスAが設定値に達した場合、クラスAを含まないラウンドロビンテーブル(b)を選択するようにし、ラウンドロビンテーブル(b)は優先順位制御レジスタ(5)、(6)、(7)のみを巡回させるので、クラスAのセルが読み出されることがない。ラウンドロビンテーブルが15ヶの場合、ラウンドロビンテーブル選択信号は、本実施の形態においては4ビットで示され、各クラスに対応した信号線を備え、出力帯域が設定値に達した場合に、そのクラスに対応する信号線がイネーブルされる。このように、帯域超過判別回路21は、各ポート・各クラスの出力帯域を監視し、出力帯域が設定値以内に収まるように、ラウンドロビンテーブルを選択するため、帯域制御を行うことができる。

【0065】図1において、完全優先指示レジスタ10は、ポート内で指示するクラスの優先順位を固定とし、ラウンドロビンテーブル15を使用せずに、完全優先処理する場合に使用する。ポート内で、優先順位制御レジスタ13の示す優先順位情報によらず、キューがある時は優先的に出力するクラスがある場合に、そのクラスのポート内の優先順位情報を設定する。第2の実施の形態では、図5に示すように出力ポート、出力クラス毎に優先順位情報を設定する。完全優先を指示するクラス数は任意に設定可能であり、例えばポート1でクラスAのみを完全優先処理したい場合は、完全優先指示レジスタ10のポート1クラスAの領域に優先順位“1”を設定し、それ以外は未登録としておく。また、クラスAおよびBの2クラスを完全優先処理し、かつ、クラスAをBより優先する場合は、完全優先指示レジスタ10のポート1のクラスAの領域に優先順位“1”を、クラスBの領域に優先順位“2”を設定し、それ以外のクラスは未登録としておく。完全優先指示レジスタ10への優先順位情報設定は、指示部34から行う。

【0066】空きスロットへのセル挿入指示レジスタ11には、出力を許容しているクラスのキューが全て“0”であり(出力すべきセルがないとき)、出力するセルが無く空きスロットが生じるときにおいて、既に出

力帶域が設定値を超過しているクラスも、キューがあれば空きスロットにセルを出力することを許可する場合に、そのポートのそのクラスの空きスロット挿入優先順位情報を、空きスロットへのセル挿入指示レジスタ11の該当エリアに設定する。第2の実施の形態では、図5に示すように、出力ポート、出力クラス毎に優先順位情報を設定する。本レジスタも上記完全優先指示レジスタと同様、挿入指示をするクラス数は任意に設定可能である。例えば、ポート1でクラスDのみを空きスロット挿入処理する場合は、空きスロットへのセル挿入指示レジスタ11のポート1のクラスDの領域に優先順位情報として“1”を設定し、それ以外は未登録としておく。また、クラスCおよびDの2クラスを空きスロット挿入処理し、かつ、クラスCをDより優先する場合は、空きスロットへのセル挿入指示レジスタ11のポート1のクラスCの領域に優先順位情報として“1”を、クラスDの領域に優先順位情報として“2”を設定し、それ以外のクラスは未登録としておく。空きスロットへのセル挿入指示レジスタ11への優先順位情報設定は、指示部35から行う。

【0067】優先順位変更／セル読み込み制御回路6は、図5に示すように、出力キュー決定回路30、セル読み込み制御回路33および出力キーフラグ32を備える。

【0068】出力キュー決定回路30は、出力ポート毎に、優先順位制御レジスタ選択部14によって選択されている優先順位制御レジスタ13が保持する優先順位と、完全優先指示レジスタ10が保持する優先順位と、空きスロットへのセル挿入指示レジスタ11が保持する優先順位とを参照して、優先順位を編集し、編集後の優先順位とポート管理テーブル8のキーフラグとから、出力キューを決定する。

【0069】具体的には、まず優先順位制御レジスタ13の順位情報を優先順位編集レジスタ31に書き込み、そのレジスタの順位情報と完全優先指示レジスタ10の順位情報を参照し、完全優先指示レジスタ10の順位を優先させて優先順位編集レジスタ31の順位を並べ替える。但し、優先順位制御レジスタ13に含まれていないクラス（出力帶域が設定値以上になっているクラス）は、割り当てられた帶域を保証するため完全優先指示レジスタ10に指示があつても無視される。

【0070】次に、並べ替えられた優先順位編集レジスタ31の順位情報と、空きスロットへのセル挿入指示レジスタ11の順位情報を参照し、優先順位編集レジスタ31の順位に含まれないクラスについて、空きスロット挿入指示があれば、空きスロットへのセル挿入指示レジスタ11の順位に従って、優先順位編集レジスタ31の順位にクラスを追加する。

【0071】さらに、優先順位編集レジスタ31が保持する優先順位のより高いクラスについて、ポート管理テ

ーブル8のキーフラグを参照し、セルバッファ2に保持されるセルがあると示されているキーフラグに対応するクラスを出力キューと決定し、出力キーフラグ32の該当クラスを“1”にする。

【0072】図17を参照し、出力キュー決定回路の動作を、より具体的に説明する。図17(1)において、優先順位制御レジスタ選択部14で選択された優先順位情報（以下、単に優先順位制御レジスタの優先順位情報という）を、クラスC、D、Aの順番（クラスCの優先順位が一番高く、クラスAの優先順位が一番低い）とし、完全優先指示レジスタの指示情報をクラスB、Aの順番（クラスBの優先順位が高い）とし、また、空きスロットへのセル挿入指示レジスタの指示情報をクラスC、Bの順番（クラスCの優先順位が高い）とした場合を例に説明する。分かり易くするため、完全優先指示レジスタ10および空きスロットへのセル挿入指示レジスタ11の情報を、優先順位に従ってクラス名を並べるようにフォーマット変換している。

【0073】以下、優先順位の編集方法を説明する。①優先順位制御レジスタの優先順位情報を優先順位編集レジスタ31に書き込む。つぎに、完全優先指示レジスタで優先順位の最も高いクラスBは、優先順位編集レジスタ31の優先順位に含まれていないので無視され、次に順位の高いクラスAを最優先とし、優先順位編集レジスタ31のクラスA以外のクラスの順位をシフトさせて、優先順位をクラスA、C、Dとする。②並べ替えられた優先順位編集レジスタ31の優先順位と空きスロットへのセル挿入指示レジスタとを参照し、まず空きスロットへのセル挿入指示レジスタで優先順位の高いクラスCについて、優先順位編集レジスタ31の優先順位の高いクラスから順に比較していくと、優先順位編集レジスタ31の2番目の優先順位にクラスCが登録されているので、次の順位であるクラスBの処理に移る。クラスBは優先順位編集レジスタ31に登録されていないので、クラスA、C、Dの次の順位に追加され、優先順位編集レジスタ31の優先順位はクラスA、C、D、Bの順になる。③優先順位編集レジスタ31の優先順位でポート管理テーブルのキーフラグが参照され、クラスAにキューがあるので、出力キューはクラスAとなる。出力キーフラグ32のクラスAを“1”にし、出力キュー決定回路の処理が終了する。

【0074】なお、完全優先指示レジスタ10及び空きスロットへのセル挿入指示レジスタ11に何も登録されていなければ、優先順位制御レジスタ選択部14によって選択されている優先順位制御レジスタ13の優先順位に従って出力キューが決定される。

【0075】セル読み込み制御回路33は、ポートの処理毎に、出力キーフラグ32を参照し、出力指示のあるクラスのより先に入力されたセルを、キュー管理テーブル9を参照し、読み出しアドレスを指示して当該出力

ポートから出力させる。また、キュー管理テーブル9が保持する読み出しアドレスを、当該出力させたセルの次に入力されたセルの読み出しアドレスを示すように、読み出しアドレスを+1(加算)する。さらに、当該出力させた出力ポートのクラスの、キュー管理テーブル9のキュー値を-1(減算)し、キュー値が0の時、すなわち、セルバッファ2に保持されるセルが無い場合に、当該出力させた出力ポートのクラスのポート管理テーブル8のキューフラグをリセットする。また、セル出力後、出力キューフラグ32をリセットする。

【0076】次に、図1を参照してセルバッファ2からの読み出し動作を説明する。書き込み動作については、第1の実施の形態において説明したものと同一に動作する。

【0077】図1において、セルを読み出す場合に、セルバッファ2からセルを読み出すタイミングは、ポート1からポートNまでそれぞれ定期的に到来する。まず、優先順位変更/セル読み込み制御回路6は、優先順位制御レジスタ選択部14によって選択されている優先順位制御レジスタ13、完全優先指示レジスタ10、空きスロットへのセル挿入指示レジスタ11及びポート管理テーブル8を検索し、前述したように出力キューを決定し、内部の出力キューフラグ32の該当クラスを“1”にする。次に、出力キューフラグ32が“1”的クラスについて、キュー管理テーブル9の読み出しアドレスを得て、この読み出しアドレスを指示することによりセルバッファ2からセルの情報を読み出す。また、キュー管理テーブル9が保持する読み出しアドレスを、当該出力させたセルのつぎに入力されたセルの読み出しアドレスを示すように、読み出しアドレスを+1(加算)する。さらに、当該出力させた出力ポートのクラスの、キュー管理テーブル9のキュー値を-1(減算)し、減算後のキュー値が0のとき、当該出力させた出力ポートのクラスのポート管理テーブル8のキューフラグをリセットする。また、セル出力後、出力キューフラグ32をリセットする。

【0078】このようにして、優先順位変更/セル読み込み制御回路6は、出力キューフラグが“1”であるクラスについて、キュー管理テーブル9よりセル読み出しアドレスを得て、このセルの格納されているセルバッファ2内の読み出しアドレスを順次指示し、セルバッファ2からセルを読み出す。セル分離部3では、セルバッファメモリから読み出されたセルを各出力ポート毎に分離する。

【0079】読み出し動作は、あるポートにおいて、あるクラスのセルを1つ出力したら次のポートの処理へ移り同様な処理を行い、ポート1からポートNまでの処理が繰り返し行われる。すべてのラウンドロビンテーブル(a)～(o)の出力する優先順位制御レジスタの選択信号は、ポート1からポートNまで1セルずつ出力後、切

り替えられる。

【0080】次に、優先順位変更/セル読み込み制御回路6における詳細な動作を図6および図17を参照して説明する。図6に、優先順位変更/セル読み込み制御回路6におけるセルバッファ読み出しフローを示す。具体的に説明するために、各レジスタの設定値を以下に示すような場合を例にする。ポート管理テーブルのキューフラグを、図12(a)に示すように、出力ポート1の各クラスのキューフラグを、クラスAは“1”、クラスB

10 は“0”、クラスCは“0”、クラスDは“1”とする。また、完全優先指示レジスタ10に設定されている優先順位を、図17(1)に示すように、クラスB、Aの順番(Bの優先順位が高い)とする。また、空きスロットへのセル挿入指示レジスタ11に設定されている優先順位を、図17(1)に示すように、クラスC、Bの順番(Cの優先順位が高い)とする。また、図17

(1)に示すように、ラウンドロビンテーブル選択部16によって選択されているラウンドロビンテーブル15は、(c)(図3参照)であり、ラウンドロビンテーブ

20 ル15の値が“(9)”、つまり、優先順位制御レジスタ選択部14が選択する優先順位制御レジスタが(9)であり、優先順位制御レジスタ(9)に設定されている優先順位情報を、クラスC、D、Aの順番(クラスCが優先順位が一番高く、クラスAが優先順位が一番低い)とする。

【0081】図6において、先ず優先順位変更/セル読み込み制御回路6は、ポート管理テーブル8のポート1の領域を検索し(ステップ40)、A=1、B=0、C=0、D=1の情報を認識する(ステップ41)。次に、優先順位変更/セル読み込み制御回路6は、優先順位制御レジスタ13(9)を検索し、各クラスの優先順位が、クラスC、D、Aの順番であることを認識する(ステップ42)。次に、完全優先指示レジスタ10および空きスロットへのセル挿入指示レジスタ11を検索し、指示内容を各々認識する(ステップ43)。ステップ41、42および43によって、図17(1)に示すように出力クラスがAに決まり、出力キューフラグ32のクラスAにフラグがセットされる。図6に示すように、クラスAに対応するセルについて、実際のセルバッ

40 フラ2からの読み出し動作を行う(ステップ45)。この例において、クラスAは、既に出力キューフラグが“1”であるので、出力キューフラグ状態判定(ステップ46)において、判定後分岐47へ移り、キュー管理テーブル9のポート1のクラスAの領域を参照することによりセルバッファ2の読み出しアドレスを得て、セルバッファ2の読み出しタイミングで、読み出しアドレスを指示することによりセルバッファ2からセルの情報を出力させる。つぎに、優先順位変更/セル読み込み制御回路6は、クラスAのセルバッファ2の読み出しアドレスを1加算することにより、つぎの読み出しアドレスと

25

する（ステップ48）。また、ポート管理テーブル内のキュー値は、書き込みアドレスから読み出しアドレスを減算したものがキュー値であるため、優先順位変更／セル読み込み制御回路6はポート1のクラスAのキュー値を-1（減算）する（ステップ49）。次に、優先順位変更／セル読み込み制御回路6は、キュー値が0であるか、またはそれ以外であるかを判断し（ステップ50）、“0”であれば出力すべきセルが無いと判断し、ポート管理テーブル8のポート1のクラスA領域のキューフラグを“0”にする（ステップ51）。“0”以外であった場合は、キューフラグが、既に“1”であるので、そのまま次の処理へ移る（分岐52）。また、出力キューフラグ32をリセットする。

【0082】セルバッファ2から読み出されたクラスAのセルはセル分離部3を経て、出力ポート1へ出力される。ポート1に対して、クラスAのセルを出力したら、次はポート2のセル読み出し処理へ移り（分岐53）、以降ポート2からポートnの読み出し処理が同様に行われる。ポートnの読み出し処理後、（ステップ63）、ラウンドロビンテーブル15（c）の値は（10）に切り替わり、優先順位制御レジスタを（10）に切り替える。その後、ポート1に戻り、ポート1からポートnまでの処理が繰り返し行われる。

【0083】次に、再びポート1の読み出し処理へ戻ったときに、各レジスタの設定値が以下に示すようになっている場合を例にする。ポート管理テーブルのキューフラグを、図12(b)に示すように、出力ポート1の各クラスのキューフラグを、クラスAは“0”、クラスBは“0”、クラスCは“0”、クラスDは“1”とする。また、クラスAの出力帯域が設定値に達して、図17(2)に示すように、ラウンドロビンテーブル選択部16によって選択されているラウンドロビンテーブル15が(f)に変更され、かつ、ラウンドロビンテーブル(f)の値が(17)、つまり、優先順位制御レジスタ選択部14が選択する優先順位制御レジスタが(17)であり、優先順位制御レジスタに設定されている優先順位情報を、クラスC、Dの順番(クラスCのが優先順位が高い)とする。

【0084】図6において、優先順位変更／セル読み込み制御回路6は、前述と同様、ポート管理テーブル8のポート1の領域を検索し（ステップ40）、A=0、B=0、C=0、D=1の情報を認識する（ステップ41）。次に、優先順位変更／セル読み込み制御回路6は、優先順位制御レジスタ13（17）を検索し、各クラスの優先順位が、クラスC、Dの順番であることを認識する（ステップ42）。次に、完全優先指示レジスタ10および空きスロットへのセル挿入指示レジスタ11を検索し、指示内容を認識する（ステップ43）。ステップ41、42および43によって、図17（2）に示すように出力クラスがDに決まり、出力キューフラグが

26

セットされる。次に、クラスAのセル読み出し処理45に移行し、クラスAの出力キューフラグが“0”的め、出力キューフラグ状態判定（ステップ46）において、分岐54を経由することで、クラスAの読み出し動作を行わない。つまり、読み出すべきセルが無い場合には、キューマネージャーテーブル9にアクセスせず、次のクラス（クラスB）の処理へ移る。

【0085】次に、クラスB、Cについても、同様に読み出し動作ステップ55および56において、クラスB、Cの出力キューフラグがクラスAと同様に“0”的ため、出力キューフラグ状態判定における判定後、次のクラス（クラスD）の処理（ステップ57）へ移る。クラスDのセルの出力キューフラグ状態は、“1”であるため、出力キューフラグ状態判定（ステップ46）において、セルバッファ2の読み出し処理へ移り、キューマネージメントテーブル9のポート1のクラスDの領域を参照することによりセルバッファ2のクラスDのセルバッファの読み出しアドレスを得て、セルバッファの読み出しタイミングで、読み出しアドレスを指示することによりセルバッファ2からセルの情報を出力させる。つぎに、優先順位変更／セル読み込み制御回路6は、クラスDのセルバッファ2の読み出しアドレスを1加算することにより、次の読み出しアドレスとする。（ステップ48）。また、ポート管理テーブル9のキューバリューは、書き込みアドレスから読み出しアドレスを減算したものがキューバリューであるため、優先順位変更／セル読み込み制御回路6はポート1のクラスDのキューバリューを-1（減算）する（ステップ49）。次に、優先順位変更／セル読み込み制御回路6は、キューバリューの値が0であるか、またはそれ以外であるかを判断し（ステップ50），“0”であれば出力すべきセルが無いと判断し、ポート管理テーブル8のポート1のクラスD領域のキューフラグを“0”にする（ステップ51）。“0”以外であった場合は、キューフラグが、既に“1”であるので、そのまま次の処理へ移る（分岐52）。また、セル出力後、出力キューフラグ2をリセットする。

【0086】セルバッファ2から読み出されたクラスDのセルはセル分離部を経て、出力ポート1へ出力される。その後は分岐53を経て、次のポート2の読み出し処理へ移る。ポートnの読み出し処理終了後（ステップ63）、ラウンドロビンテーブル15(f)の値は(18)に切り替わり、優先順位制御レジスタを(18)に切り替える。

【0087】次に、再びポート1の読み出し処理へ戻ったときに、各レジスタの設定値が以下に示すようになっている場合を例にする。ポート管理テーブルのキューフラグを、図12(c)に示すように、出力ポート1の各クラスのキューフラグを、クラスAは“0”、クラスBは“1”、クラスCは“0”、クラスDは“0”とする。また、ラウンドロビンテーブルの選択変更は無く、

ラウンドロビンテーブル (f) の値が (18) つまり、優先順位制御レジスタ選択部 14 が選択する優先順位制御レジスタが (18) に切り替わっており、優先順位制御レジスタに設定されている優先順位情報は、クラス D、C の順番 (クラス D の優先順位が高い) とし、クラス D、C のセルが無く、クラス B のセルを読み出すときであるとする。

【0088】図 6において、優先順位変更／セル読み込み制御回路 6 は、前述と同様、ポート管理テーブル 8 のポート 1 の領域を検索し (ステップ 40)、A = 0、B = 1、C = 0、D = 0 の情報を認識する (ステップ 41)。次に、優先順位変更／セル読み込み制御回路 6 は、優先順位制御レジスタ 13 (18) を検索し、各クラスの優先順位が、クラス D、C の順番であることを認識する (ステップ 42)。次に、完全優先指示レジスタ 10、空きスロットへのセル挿入指示レジスタ 11 を検索し、指示内容を認識する (ステップ 43)。ステップ 41、42 および 43 によって、図 17 (3) に示すように出力クラスが B に決まり、出力キューフラグがセットされる。次に、クラス A のセル読み出し処理 45 に移行し、クラス A のセルの出力キューフラグが “0” のため、出力キューフラグ状態判定 (ステップ 46) において、分岐 54 を経由することで、読み出し動作を行わず、クラス B のセル読み出し処理に移行する。

【0089】クラス B のセルのキューフラグ状態は、“1” であるため、キューフラグ状態判定 (ステップ 46) において、セルバッファの読み出し処理へ移り、キューマネージメントテーブル 9 のポート 1 のクラス B の領域を参照することによりセルバッファ 2 のクラス B のセルバッファの読み出しアドレスを得て、セルバッファの読み出しみで、読み出しアドレスを指示することによりセルバッファ 2 からセルの情報を出力させる。つぎに、優先順位変更／セル読み込み制御回路 6 は、クラス B のセルバッファ 2 の読み出しアドレスを 1 加算することにより、次の読み出しアドレスとする (ステップ 48)。また、ポート管理テーブル 9 のキューバリューは、書き込みアドレスから読み出しアドレスを減算したものがキューバリューであるため、優先順位変更／セル読み込み制御回路 6 はポート 1 のクラス B のキューバリューを -1 (減算) する (ステップ 49)。次に、優先順位変更／セル読み込み制御回路 6 は、キューバリューの値が 0 であるか、又はそれ以外であるかを判断し (ステップ 50)、“0” であれば出力すべきセルが無いと判断し、ポート管理テーブル 8 のポート 1 のクラス B 領域のキューフラグを “0” にする (ステップ 51)。“0” 以外であった場合は、キューフラグが、既に “1” であるので、そのまま次の処理へ移る (分岐 52)。また、セル出力後、出力キューフラグ 32 をリセットする。

【0090】セルバッファから読み出されたクラス B のセルはセル分離部 3 を経て、出力ポート 1 へ出力され

る。以降ポート 2 からポート n の読み出し処理が同様に行われる。ポート n の読み出し処理後 (ステップ 63)、ラウンドロビンテーブル 15 (f) の値は (17) に切り替わり、優先順位制御レジスタを (17) に切り替える。その後、ポート 1 に戻り、ポート 1 からポート n までの処理が繰り返し行われる。

【0091】次に、優先制御周期を、完全優先指示レジスタ 10、空きスロットへのセル挿入指示レジスタ 11 の設定状態、及び、スイッチに到着する各クラスの到着 10 セルパターンの異なる 4 つの例により、図 7、図 8、図 9 および図 10 を参照して説明する。ただし、本動作例は、ポート 1 からポート N まで繰り返し行われる処理のうち、ポート 1 だけに着目して説明する。

【0092】図 7 は、ポート当たりの出力帯域が 100 Mb/s で、クラス A～D 各クラスの出力帯域を 25 Mb/s とし、全クラス完全優先指示および空きスロット挿入指示をしない場合の、セル出力優先制御動作例を示している。簡単のために、優先制御周期を 12 セル時間としており、各クラスの優先制御周期内で出力可能なセル数は、12 セル × 25 / 100 = 3 セルとなる。図 4 に示す出力キューカウンタ／ラウンドロビンテーブル制御部 12 内の帯域設定レジスタ 20 のポート 1 の各クラスの領域に、この 3 の値が設定される。また、各クラスの到着セルパターンは、均等間隔での到着で、かつ、到着セル数は出力可能なセル数と等しいものとする。初期状態として、全クラスキューバリューが無い状態から動作を開始した事とする。また、説明のためキューフラグの代わりに実際のキューバリュー (セルバッファ 2 に保持しているセル数) を使用する。また、セルの出力タイミングを、T0～T12 で示す。

【0093】図 7において、まず、T0 で 4 つのクラスのセル A1、B1、C1、D1 が到着したとすると、各クラスのキューバリューの値は “1” となる。この時点では出力セル数は 0 であり、設定帯域に達したクラスは無く、ラウンドロビンテーブルは 4 クラス全てを含んだ優先制御レジスタを選択する (a) (図 3 参照) が選択されている。この時の優先順位制御レジスタは (1) であり、優先順位が最も高く、かつ、キューバリューのあるクラス A の出力キューフラグがセットされ、A1 のセルがセルバッファ 2 から読み出される。読み出し後、クラス A のキューバリューは 1 減少し “0” となる。

【0094】つぎに、T1 では、新規到着セルは無く、クラス A 以外のクラスのキューバリューは 1 のままである。ラウンドロビンテーブル (a) に従って、優先順位制御レジスタ選択部 14 によって選択される優先順位制御レジスタは (2) に切り替わり、優先順位の最も高いクラス B の B1 のセルがセルバッファ 2 から読み出される。読み出し後、クラス B のキューバリューは 1 減少し “0” となる。

【0095】以下、同様にラウンドロビンテーブル (a) の指示する優先順位制御レジスタ (1)、

(2)、(3)、(4)が繰り返し使用され、その優先順位に従いT2からT8までのセル読み出し処理が行われる。

【0096】T8でクラスAのA3のセルをセルバッファ2から読み出すと、クラスAの出力セル数は3となり、出力キュークリア／ラウンドロビンテーブル制御部12が、クラスAの出力セル数が設定帯域に達したと認識し、ラウンドロビンテーブルを、クラスAを含まない優先順位制御レジスタを選択する(b) (図3参照)に切り替える。

【0097】T9では、ラウンドロビンテーブル(b)の指し示す優先順位制御レジスタは(5)であり、優先順位の最も高いクラスBのB3のセルがセルバッファ2から読み出される。この時点では、クラスBの出力セル数は3となり、出力キュークリア／ラウンドロビンテーブル制御部12が、クラスBの出力セル数が設定帯域に達したと認識し、ラウンドロビンテーブルを、クラスA、Bを含まない優先順位制御レジスタを選択する(f)に切り替える。

【0098】以下同様に、出力セル数が設定帯域に達したクラスが発生する度に、ラウンドロビンテーブルを切り替え、ラウンドロビンテーブルの指し示す優先順位制御レジスタの優先順位に従い、キューのあるクラスのセルがセルバッファより読み出される。

【0099】T11で、12個目のセルであるD3を読み出した後、出力キュークリア／ラウンドロビンテーブル制御部12内の出力セル数カウンタ23はリセットされ、T12で選択されるラウンドロビンテーブルはT0と同じ(a)となる。

【0100】以上、図7に示す例ではセル出力クラスの偏り無く、設定した帯域に帯域分割を実現していることがわかる。

【0101】図8は、図7と同様、クラスA～D各クラスの出力帯域を2.5Mb/sとし、全クラス完全優先指示および空きスロット挿入指示をしない設定で、各クラスの到着セルパターンが異なる場合のセル出力優先制御動作例を示している。到着セルパターンが各クラスとも不均等であり、かつ、クラスAおよびBの到着セル数が、出力設定帯域をオーバーしている点が図7に示す例と異なる。

【0102】図8において、まず、T0において、クラスAおよびBのセルA1およびB1が到着し、クラスAおよびBのキューの値が“1”となる。この時点では全クラス出力セル数は0であり、設定帯域に達したクラスは無く、ラウンドロビンテーブルは(a)が選択されている。この時ラウンドロビンテーブル(a)の指し示す優先順位制御レジスタは(1)であり、優先順位が最も高く、かつ、キューのあるクラスAのA1のセルがセルバッファ2から読み出される。読み出し後、クラスAのキューは1減少し“0”となる。

【0103】T1では新規到着セルは無く、キューがあるのはクラスBだけである。ラウンドロビンテーブル(a)の指し示す優先順位制御レジスタが(2)に切り替わり、優先順位が最も高く、かつ、キューのあるクラスBのB1のセルがセルバッファ2から読み出される。読み出し後、クラスBのキューは1減少し“0”となる。

【0104】つぎに、T2でクラスAのセルA2が到着し、クラスAのキューの値が“1”となる。ラウンドロビンテーブル(a)の指し示す優先順位制御レジスタは(3)に切り替わるが、優先順位が最も高いクラスC、2番目に高いクラスDはキューが無く、優先順位3番目のクラスAのA2のセルがセルバッファ2から読み出される。読み出し後、クラスAのキューは1減少し“0”となる。

【0105】同様の処理が、T3、T4で行われ、T4でA3のセルがセルバッファ2から読み出され、クラスAの出力セル数が設定値に達し、出力キュークリア／ラウンドロビンテーブル制御部12がラウンドロビンテーブルを(b)に切り替える。

【0106】以下、出力セル数が設定帯域に達したクラスが発生する度に、ラウンドロビンテーブルを切り替え、ラウンドロビンテーブルの指し示す優先順位制御レジスタの優先順位に従い、キューのあるクラスのセルがセルバッファより読み出される。

【0107】図8に示す例では、クラスAおよびBの到着セル数が出力可能なセル数より多いが、出力セル数が設定帯域に達した時点でラウンドロビンテーブルが切り替わり、設定帯域に達したクラスは優先順位から外されるので、クラスAおよびBのセルが設定帯域を超えて読み出されることはない。

【0108】図9は、クラスA～D各クラスの出力帯域を2.5Mb/sとし、空きスロット挿入指示をせず、完全優先指示レジスタにクラスA、Bの順で優先順位を設定した場合の、セル出力優先制御動作例を示している。この場合、完全優先指示レジスタ10の内容が優先制御レジスタ13の内容より優先される。

【0109】図9において、タイミングT0で、クラスCおよびDのセルC1、D1が到着したとし、クラスC、Dのキューが“1”となる。完全優先指示レジスタの完全優先指示により、優先順位制御レジスタ(1)の優先順位の編集処理がされるが、この場合、編集後の優先順位も優先順位制御レジスタ(1)の優先順位と同じである。クラスAおよびBのキュー値は0であり、クラスCのC1のセルがセルバッファ2から読み出される。読み出し後、クラスCのキューは1減少し“0”となる。

【0110】タイミングT1で、クラスA、BのセルA1、B1が到着し、クラスA、BおよびDのキューが“1”となる。クラスA、Bの順で完全優先指示がある

ので、優先順位制御レジスタ（2）の優先順位であるB、C、D、Aの順位は変更され、最も優先順位の高い、クラスAのA1のセルがセルバッファ2から読み出される。読み出し後、クラスAのキューは1減少し“0”となる。

【0111】つぎに、タイミングT2では新規到着セルは無く、クラスBおよびDにキューがある。タイミングT1同様、クラスA、Bの順で完全優先指示があるので、優先順位制御レジスタ（3）の優先順位であるC、D、A、Bの順位は、A、B、C、Dの順に変更されるが、クラスAのキューが無いので、次に優先順位の高いクラスBのB1のセルがセルバッファ2から読み出される。読み出し後、クラスBのキューは1減少し“0”となる。

【0112】以下同様に、クラスA、Bを最優先にした処理は、それぞれのクラスの出力セル数が設定値に達するまで行われる。

【0113】図9に示す例では、完全優先指示レジスタに設定されたクラスのセルが、最優先でセルバッファ2から読み出され、かつ、全クラス出力帯域が保証されている。

【0114】図10は、クラスA～D各クラスの出力帯域を25Mb/sとし、完全優先指示をせず、空きスロットへのセル挿入指示レジスタにクラスDのみを設定した場合の、セル出力優先制御動作例を示している。

【0115】図10において、タイミングT0で、クラスA、CおよびDのセルA1、C1およびD1が到着し、クラスA、CおよびDのキューが“1”となる。この時、ラウンドロビンテーブルは（a）が選択されており、またラウンドロビンテーブル（a）の指示する優先順位制御レジスタは（1）である。優先順位制御レジスタ（1）の優先順位には、全てのクラスが含まれているので、この時点では空きスロット挿入指示があっても優先順位は変わらず、優先順位が最も高く、かつキューのあるクラスAのA1のセルがセルバッファ2から読み出される。読み出し後、クラスAのキューは1減少し“0”となる。

【0116】以下、同様に、ラウンドロビンテーブル（a）の指示する優先順位制御レジスタの優先順位に従いT1からT3までのセル読み出し処理が行われる。

【0117】タイミングT4でも同様に、ラウンドロビンテーブル（a）の指示する優先順位制御レジスタ（1）の優先順位に従い処理されるが、タイミングT4では全クラスキューが無いため、出力キューフラグに何も出力キューが設定されない。従ってセルバッファ2からのセル読み出しが行われず、出力ポートには空きセルが出力される。

【0118】タイミングT5～T7についても、上記T0～T3と同様の処理が行われ、タイミングT7でD3のセルが読み出された時点でクラスDの出力セル数が設

定帯域に達し、出力キュー／カウンタ／ラウンドロビンテーブル制御部12が、ラウンドロビンテーブルを、クラスDを含まない優先順位制御レジスタを選択する（e）に切り替える。

【0119】タイミングT8、T9では、それぞれラウンドロビンテーブル（e）の指示する優先順位制御レジスタ（16）、（14）の優先順位の末尾に、空きスロット挿入指示のあるクラスDを加えた優先順位に編集される。この場合、優先順位制御レジスタ（16）の優先順位は、C、A、B、Dとなり、優先順位制御レジスタ（14）の優先順位は、A、B、C、Dとなる。

【0120】今度はタイミングT9でC3のセルが読み出された時点でクラスCの出力セル数が設定帯域に達し、出力キュー／カウンタ／ラウンドロビンテーブル制御部12が、ラウンドロビンテーブルを、クラスC、Dを含まない優先順位制御レジスタを選択する（k）に切り替える。

【0121】タイミングT10では、ラウンドロビンテーブル（k）の指示する優先順位制御レジスタ（27）の優先順位の末尾に空きスロット挿入指示のあるクラスDを加えたA、B、Dの順位に従い処理される。タイミングT10ではクラスDにしかキューが無い、クラスDは出力セル数が設定値に達していても、空きスロット挿入指示があるので、クラスDのセルD4がセルバッファ2から読み出される。

【0122】タイミングT11も同様に、ラウンドロビンテーブル（k）の指示する優先順位制御レジスタ（28）の優先順位と空きスロット挿入指示によって決定された優先順位に従いセル読み出し処理が行われる。

【0123】以上、図10に示す例において、出力セル数が設定帯域未満のクラスに、キューが無い場合、既に設定帯域に達しているクラスで空きスロット挿入指示のあるクラスにキューがあれば、そのクラスからセル読み出しが行われる。

【0124】なお、各指示部は、1つの指示部により構成させてもよい。

【0125】以上、説明したように処理することにより、第2の実施の形態によれば、複数種類ある優先制御レジスタのうち利用する優先順位制御レジスタをラウンドロビンテーブルによって定期的に巡回させることで、完全優先制御によるセル出力クラスの偏りをなくし、帯域分割を実現することができる。

【0126】さらに、出力キュー／カウンタ／ラウンドロビンテーブル制御部12が、各クラスの出力セル数を常に監視し、設定帯域を超えないようにラウンドロビンテーブルの切替を制御するので、各クラスの出力帯域が設定値を超えることが無い。

【0127】また、完全優先指示レジスタを使用することにより、出力ポート内の一部のクラス又は全クラスの優先制御方式を完全優先とすることができる、完全優先処

理のクラスと出力帯域固定のクラスとの混在も可能である。

【0128】また、空きスロットへのセル挿入指示レジスタを使用することにより、設定出力帯域を満たしたクラスが、他クラスでセルバッファに保持するセルが無い場合（空きスロット発生時）に、セルを出力することも可能である。

【0129】上記第1および第2の実施の形態によれば、複数の品質クラス毎に分けられたセルバッファ内のセルを優先順位の高いものから効率的に読み出すことができる。セル読み出し処理時、読み出すべきクラスを簡単に認識することができ、また、セルの読み出しアドレスを格納した管理テーブルへのアクセスは、出力するクラスに対応する領域のみで済むので、クラス分けの数が増えても処理時間に影響を与えることがない。

【0130】また、上記第1および第2の実施の形態によれば、ラウンドロビンテーブル上に割り当てるそれぞれの優先順位制御レジスタの割合を変えることにより、帯域分割が実現でき、一つのクラスばかりが出力されることを避けられる。

【0131】また、上記第2の実施の形態によれば、一時的にあるクラスのセルバッファにセルが無くなった場合、その瞬間優先順位の低い他クラスのセルが出力されるが、各クラスの出力セル数は常に監視されており設定帯域を超えないように制御されるので、各クラスの出力帯域が設定値を超えることは無い。つまり出力ポート毎に各クラスの出力帯域を設定でき、かつ、最小出力帯域が保証可能である。

【0132】また、ある出力ポートで、全クラス又は一部のクラスの優先制御方式を完全優先とした場合、完全優先とするクラスに対応する完全優先指示レジスタに優先順位を設定することにより、完全優先が実現できる。

【0133】さらに、設定された出力帯域を満たしていない他のクラスのセルバッファにセルが無い時に（空きスロット発生時）、既に設定された出力帯域を満たしているクラスのセルを出力させたい場合、該当クラスの空きスロットへのセル挿入指示レジスタに、挿入指示するクラスの優先順位をセットすることによって、その優先順位に従ってセルを送出することができる。

【0134】また、出力キューカウンタ／ラウンドロビンテーブル制御部で各クラスの出力帯域が管理されるので、ラウンドロビンテーブルでの帯域分割を厳密に行う必要はなく、ラウンドロビンテーブルの大きさを小さくすることができる。つまり、ラウンドロビンテーブルが小さくても、各クラスの出力帯域を細かく設定できる。

【0135】また、全出力ポートでラウンドロビンテーブルを共用化するので、メモリ量を大幅に削減できる。

【0136】また、ラウンドロビンテーブル、優先順位制御レジスタ、帯域設定レジスタ、完全優先指示レジス

タおよび空きスロットへのセル挿入指示レジスタは、書き換え可能であり、マイコンインターフェースを持つことで、システム稼働中でもクラス数やポート設定を変更することができる。

【0137】

【発明の効果】本発明によれば、効率的に出力セルの優先制御を行うことができ、また、クラス分け（優先順位）の数が増えた場合にも、処理時間が増大しない。

【0138】また、出力ポート毎に各クラスの出力帯域を設定でき、かつ、出力帯域保証が可能となる。

【0139】また、各出力ポートで各クラスの設定を出力帯域固定にも完全優先にも自由に変更可能とし、かつ、出力帯域を固定とするクラスと、完全優先制御によりセルを出力するクラスとの混在を許容できる。

【0140】更に、設定出力帯域を満たしたクラスが、他クラスでセルバッファに保持するセルが無い場合、セル出力が可能となる。

【図面の簡単な説明】

【図1】本発明の第2の実施の形態における出力バッファ型のスイッチシステムの構成図。

【図2】本発明の第1および第2の実施の形態で用いるポート管理テーブルを示す説明図。

【図3】本発明の第2の実施の形態で用いる優先順位制御レジスタ、ラウンドロビンテーブルの詳細を示す説明図。

【図4】本発明の第2の実施の形態で用いる出力キューカウンタ／ラウンドロビンテーブル制御部の詳細を示す説明図。

【図5】本発明の第2の実施の形態で用いる優先順位変更／セル読み込み制御回路、完全優先指示レジスタ、空きスロットへのセル挿入指示レジスタの詳細を示す説明図。

【図6】本発明の第2の実施の形態を示すセルバッファ読み出しフロー図。

【図7】本発明の第2の実施の形態のセル出力優先制御部の動作を示す説明図（1）。

【図8】本発明の第2の実施の形態のセル出力優先制御部の動作を示す説明図（2）。

【図9】本発明の第2の実施の形態のセル出力優先制御部の動作を示す説明図（3）。

【図10】本発明の第2の実施の形態のセル出力優先制御部の動作を示す説明図（4）。

【図11】本発明の第1の実施の形態を示す出力バッファ型のスイッチシステムの構成図。

【図12】本発明の第2の実施の形態で用いるポート管理テーブル。

【図13】本発明の第1の実施の形態を示すセルバッファ読み出しフロー図（1）。

【図14】本発明の第1の実施の形態を示すセルバッファ読み出しフロー図（2）。

【図15】本発明の第1の実施の形態を示すセルバッファ読み出しフロー図(3)。

【図16】従来技術を示す説明図。

【図17】本発明の第2の実施の形態で用いる出力キュー決定回路の動作を示す説明図。

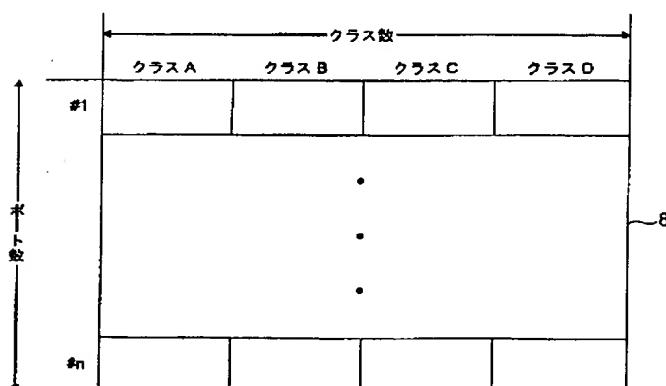
【符号の説明】

1・100…セル多重部、2・101…セルバッファメモリ、3・102…セル分離部、4・103…ルーティング先／優先先クラス識別回路、5・104…セル書き込み制御回路、6…優先順位変更／セル読み込み制御回路、7…メモリインタフェース、8…ポート管理テーブル、9…キュー管理テーブル、10…完全優先指示レジスタ、11…空きスロットへのセル挿入指示レジスタ、12…出力キューカウンタ／ラウンドロビンテーブル制御部、13・92…優先順位制御レジスタ、14・93…優先順位制御レジスタ選択部、15・91…ラウンドロビンテーブル、16…ラウンドロビンテーブル選択部、17…ラウンドロビンテーブル指示部、18・94…優先順位制御レジスタ指示部、20…帯域設定レジスタ、21…帯域超過判別回路、22…帯域設定レジスタ指示部、23…出力セル数カウンタ、30…出力キュー決定回路、31…優先順位編集レジスタ、32

…出力キューフラグ、33…セル読み込み制御回路、34…完全優先指示レジスタ指示部、35…空きスロットへのセル挿入指示レジスタ指示部、41…各クラスのキュー状態認識処理、42…各クラスの優先順位判定処理、43…完全優先指示、空きスロット挿入指示認識処理、44…出力クラス決定処理、45…クラスAのセルバッファ読み出し処理、46…クラスAのセルの出力キューの有無判定処理、47…クラスAのセルの出力キューフラグが“1”の時の遷移ルート、48…セルバッファ読み出しアドレス更新処理、49…キューの値の減算(-1)処理、50…キューの値の“0”との比較処理、51…キューフラグ“0”書き込み処理、52…キューフラグ“1”書き込み処理、53…ポート2のセル読み出し処理への遷移ルート、54…クラスAのセルのキューフラグが“0”的時の遷移ルート、55…クラスBのセルバッファ読み出し処理、56…クラスCのセルバッファ読み出し処理、57…クラスDのセルバッファ読み出し処理、90…セル読み込み制御回路、95…クラスAのセルのキューの有無判定処理、105…セル読み込み制御回路(完全優先制御)、106…管理テーブル。

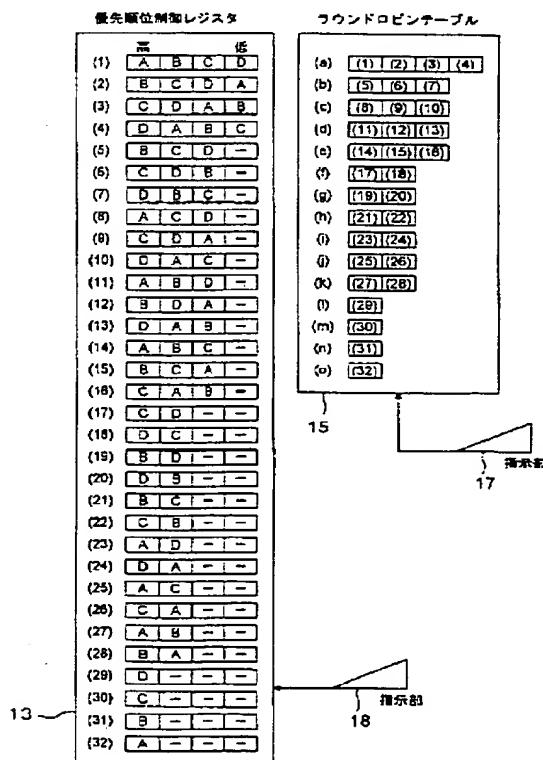
【図2】

本発明の実施の形態で用いるポート管理テーブルを示す図(図2)



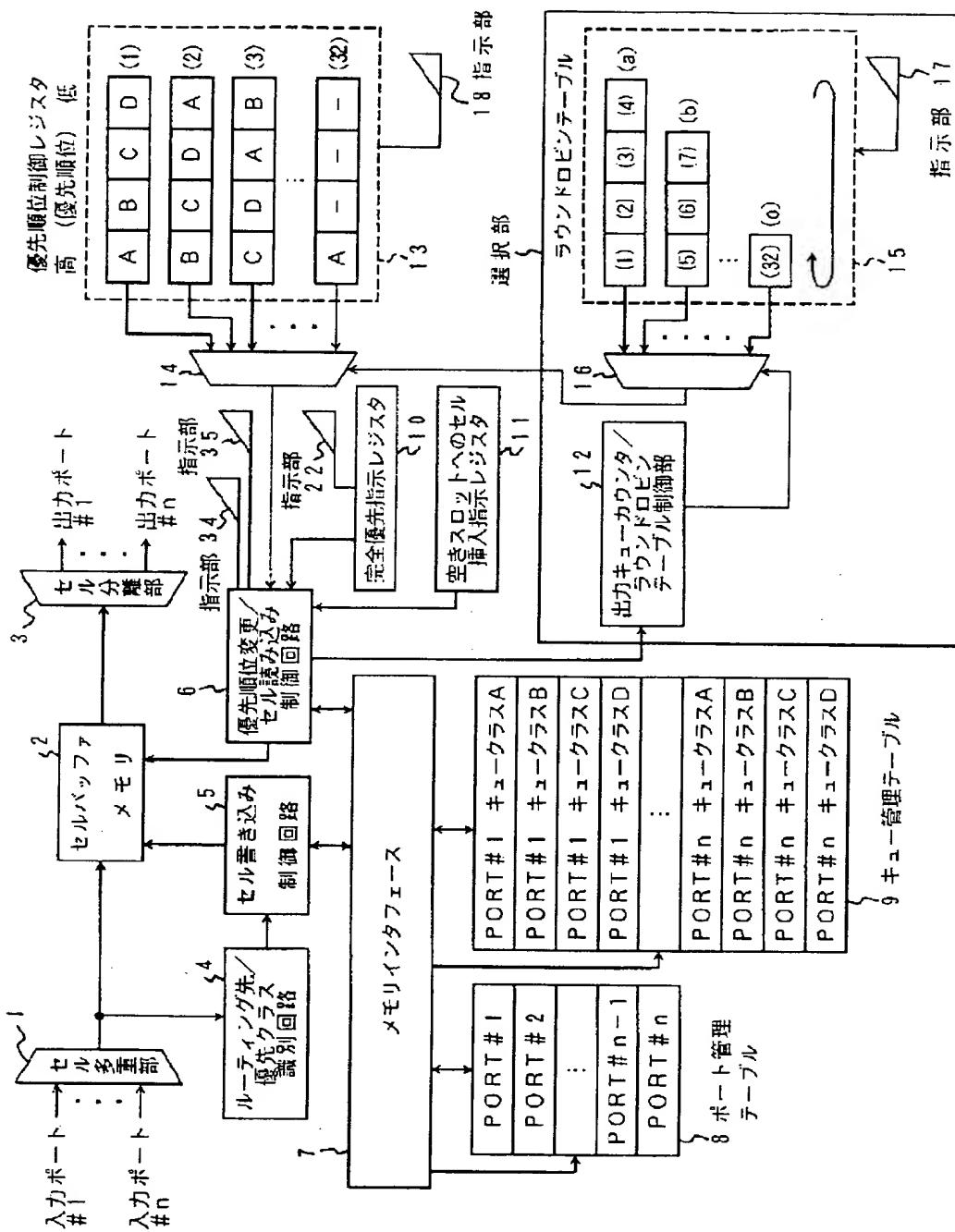
【図3】

本発明の実施例で用いる優先順位制御レジスタ、ラウンドロビンテーブルの詳細を示す図(図3)



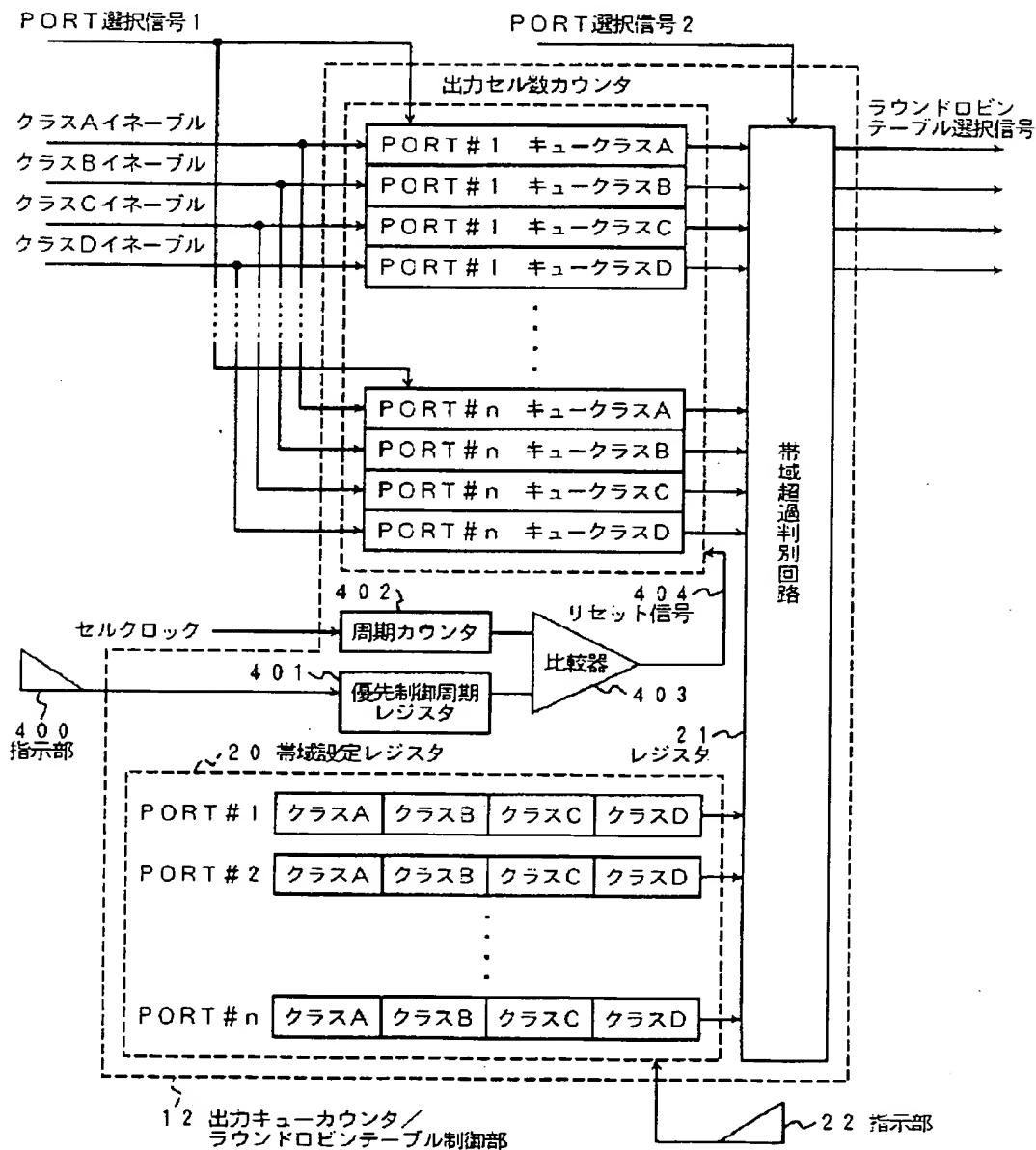
【図1】

本発明の実施の形態を示す出力パッファ型のスイッチシステムの構成図(図1)



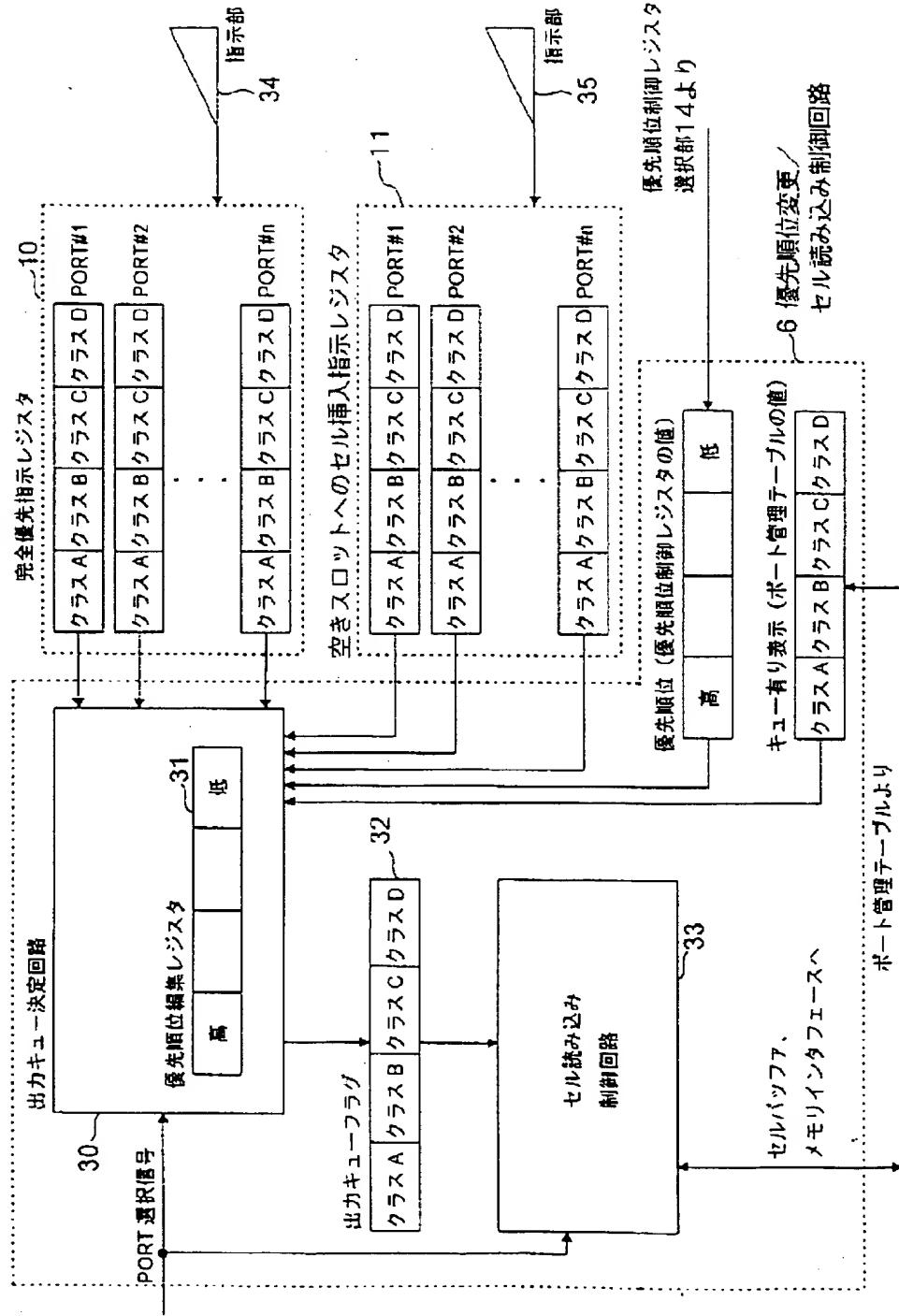
【図4】

本発明の実施例で用いる出力キューカウンタ／ラウンドロビンテーブル制御部の詳細を示す（図4）



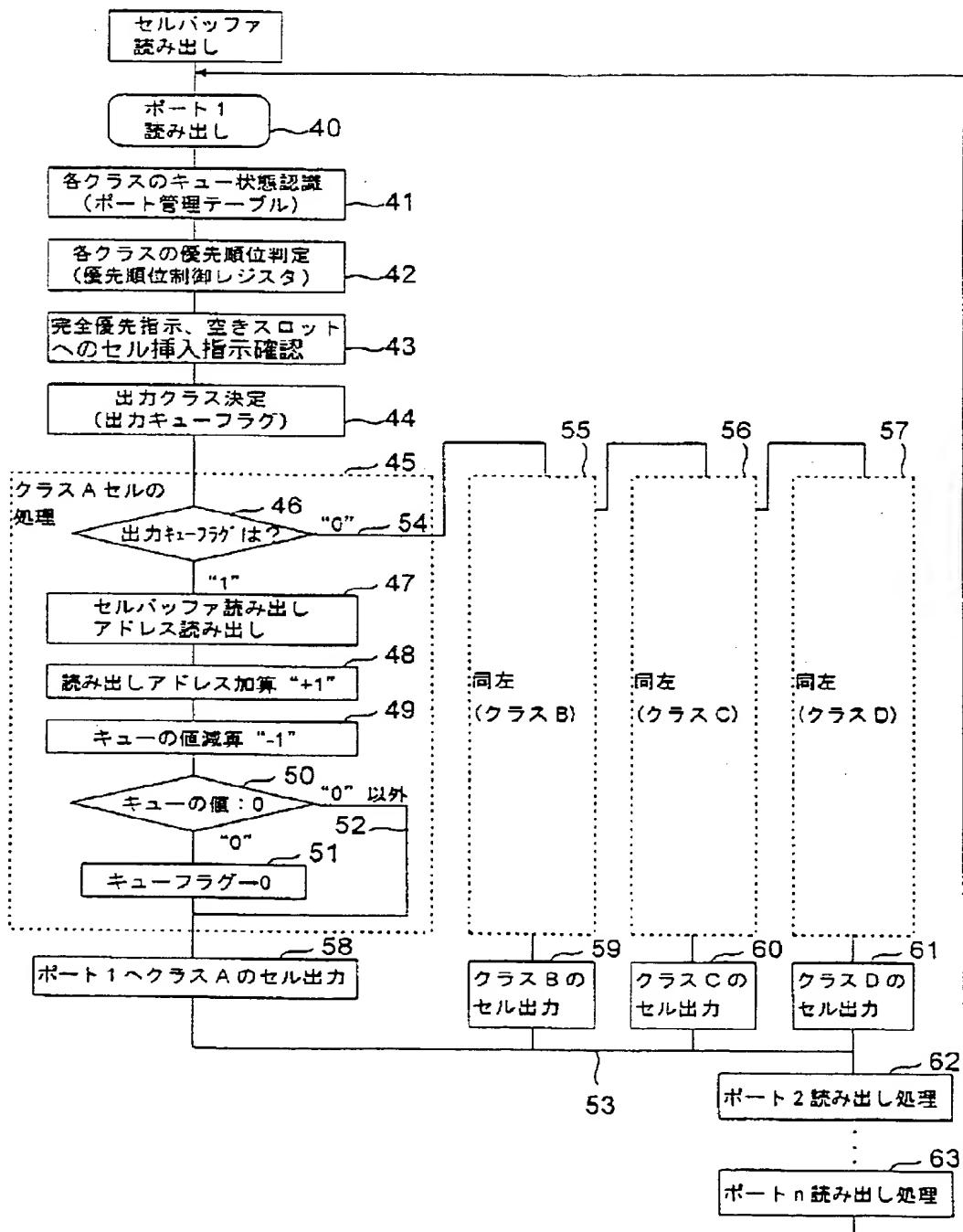
本発明の実施例で用いる優先順位変更／セル読み込み制御回路、完全優先指示レジスタ、空きスロット挿入指示レジスタの詳細を示す図 (図5)

〔图5〕



【図6】

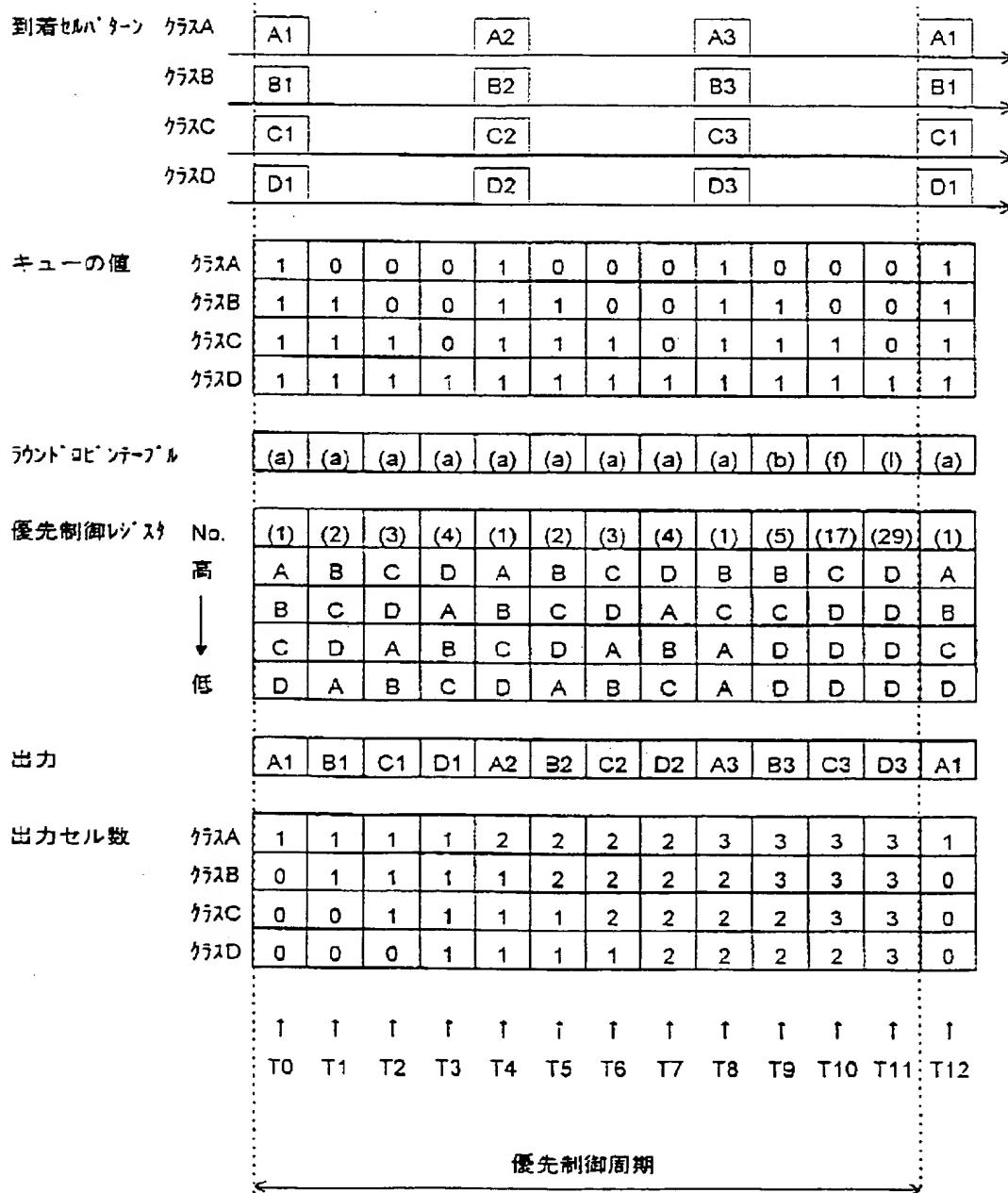
本発明の実施例を示すセルバッファ読み出しフロー図(図6)



〔図7〕

本発明の実施例のセル出力優先制御部の動作を示す図(1) (図7)

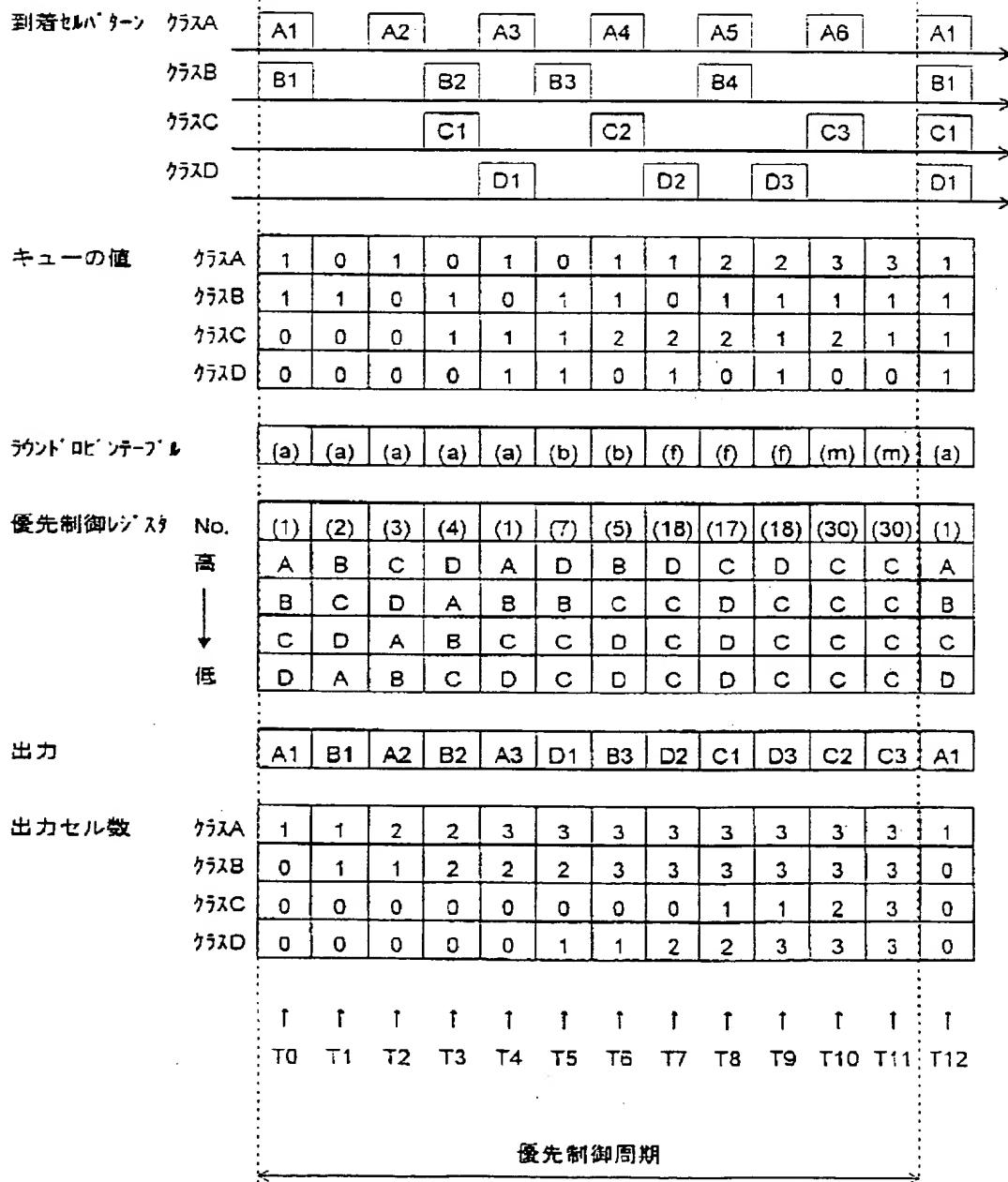
- ・ポート出力帯域 100Mbit/s、クラス A~D 全て固定帯域(A:25M,B:25M,C:25M,D:25M)



[図 8]

本発明の実施例のセル出力優先制御部の動作を示す図(2) (図8)

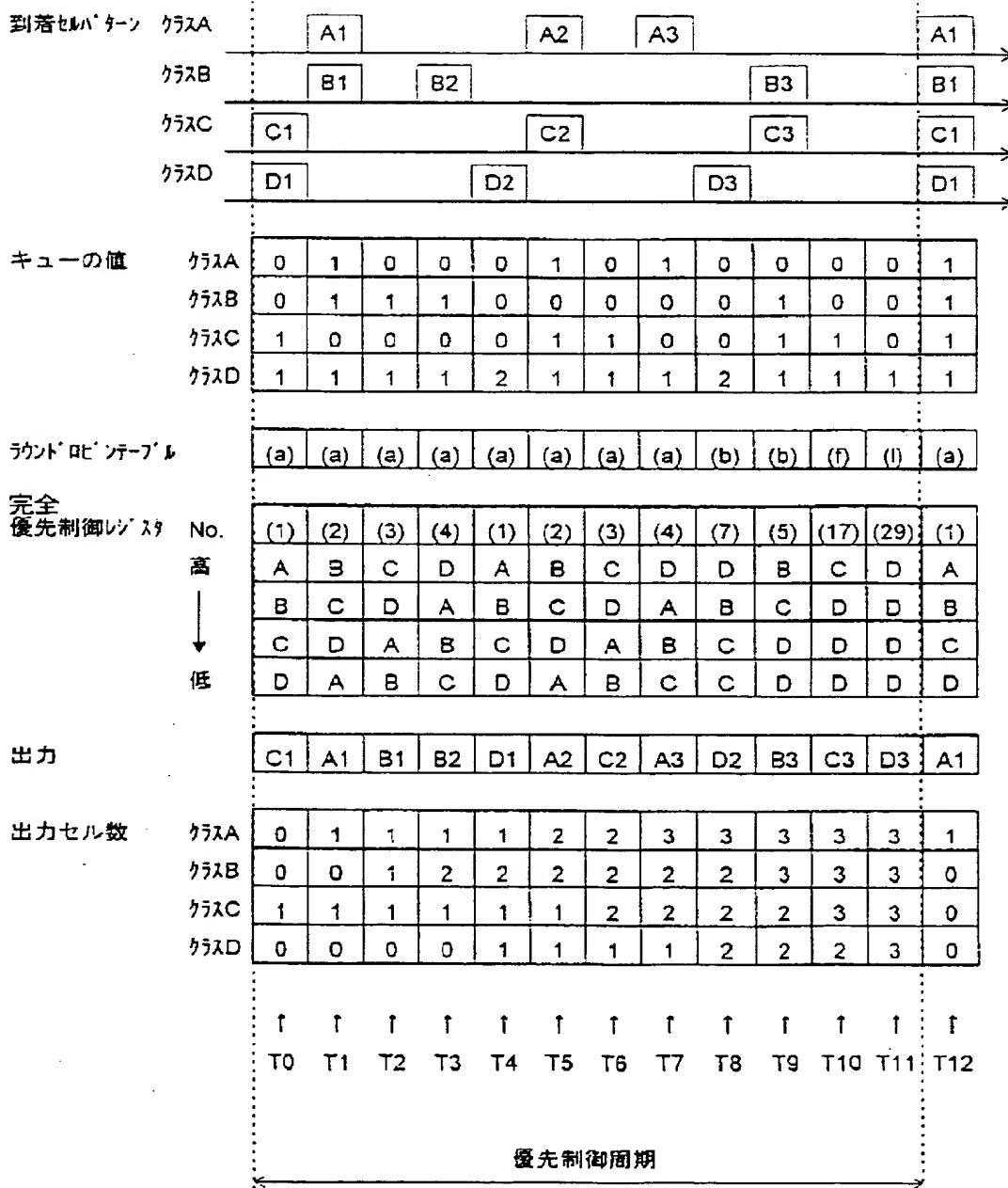
- ・ポート出力帯域 100M bit/s、クラス A~D 全て固定帯域(A:25M,B:25M,C:25M,D:25M)
 - ・クラス A,B が設定帯域オーバー



【図9】

本発明の実施例のセル出力優先制御部の動作を示す図(3) (図9)

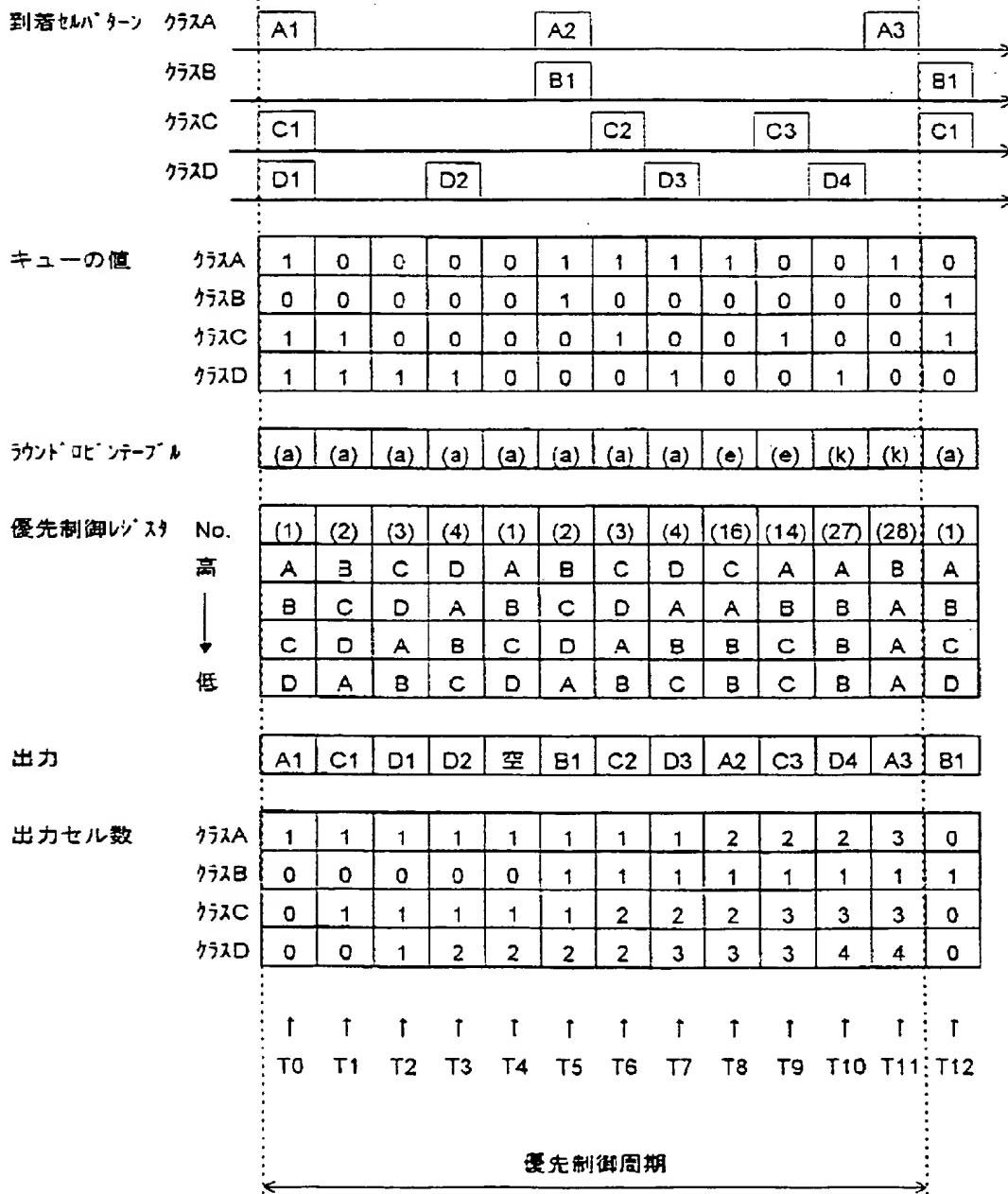
- ・ポート出力帯域 100M bit/s、クラス A～D 全て固定帯域(A:25M,B:25M,C:25M,D:25M)
 - ・クラス A→B の順で完全優先指示



【図10】

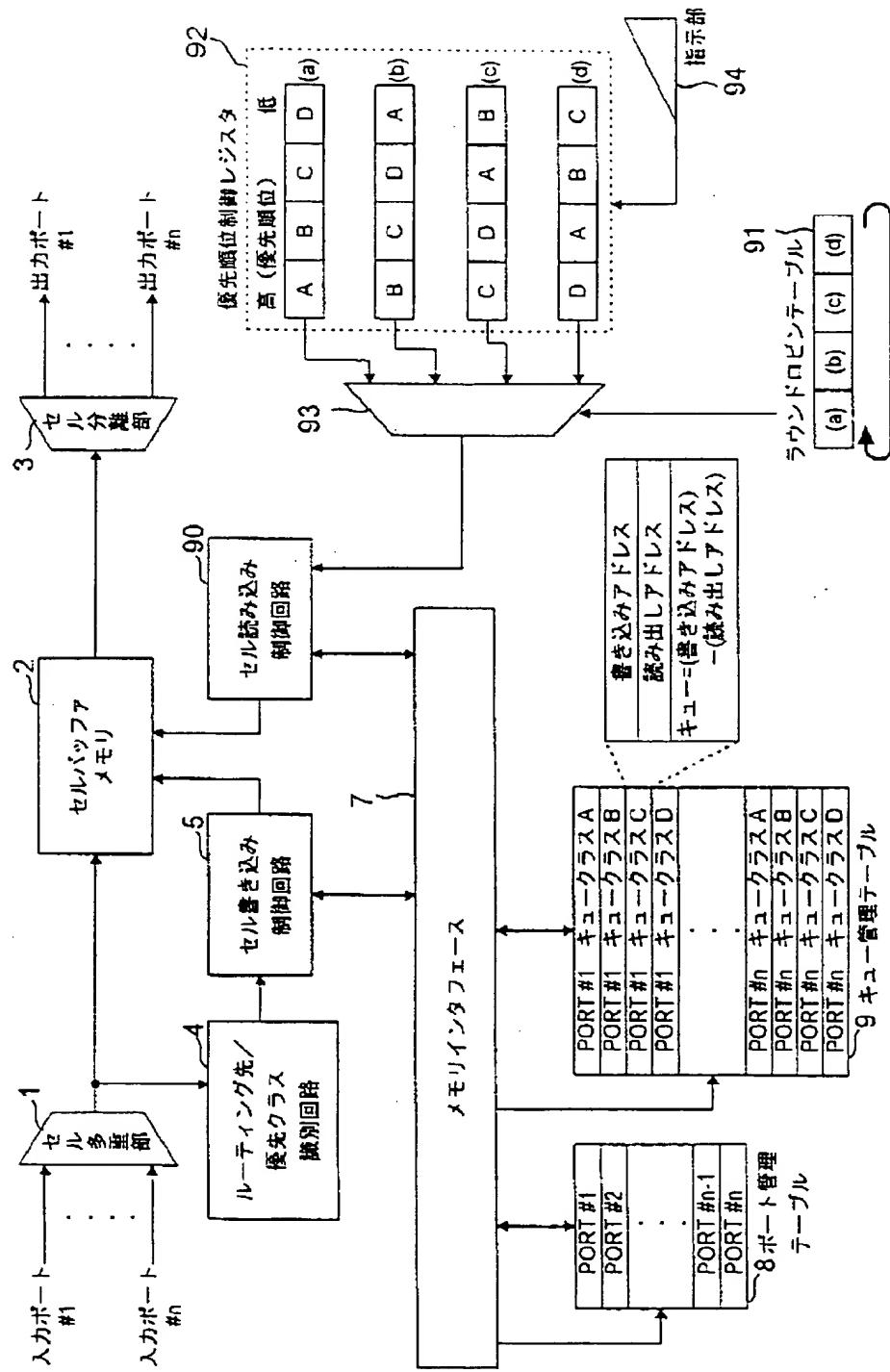
本発明の実施例のセル出力優先制御部の動作を示す図(4) (図10)

- ポート出力帯域 100M bit/s、クラス A~D 全て固定帯域(A:25M,B:25M,C:25M,D:25M)
- クラス D に空きスロット挿入指示有り



【図11】

第一の実施の形態を示す出力バッファ型のスイッチシステムの構成図(図11)



【図 12】

本発明の実施例で用いるポート管理テーブル（ポート 1）の論理例を示す図（図 12）

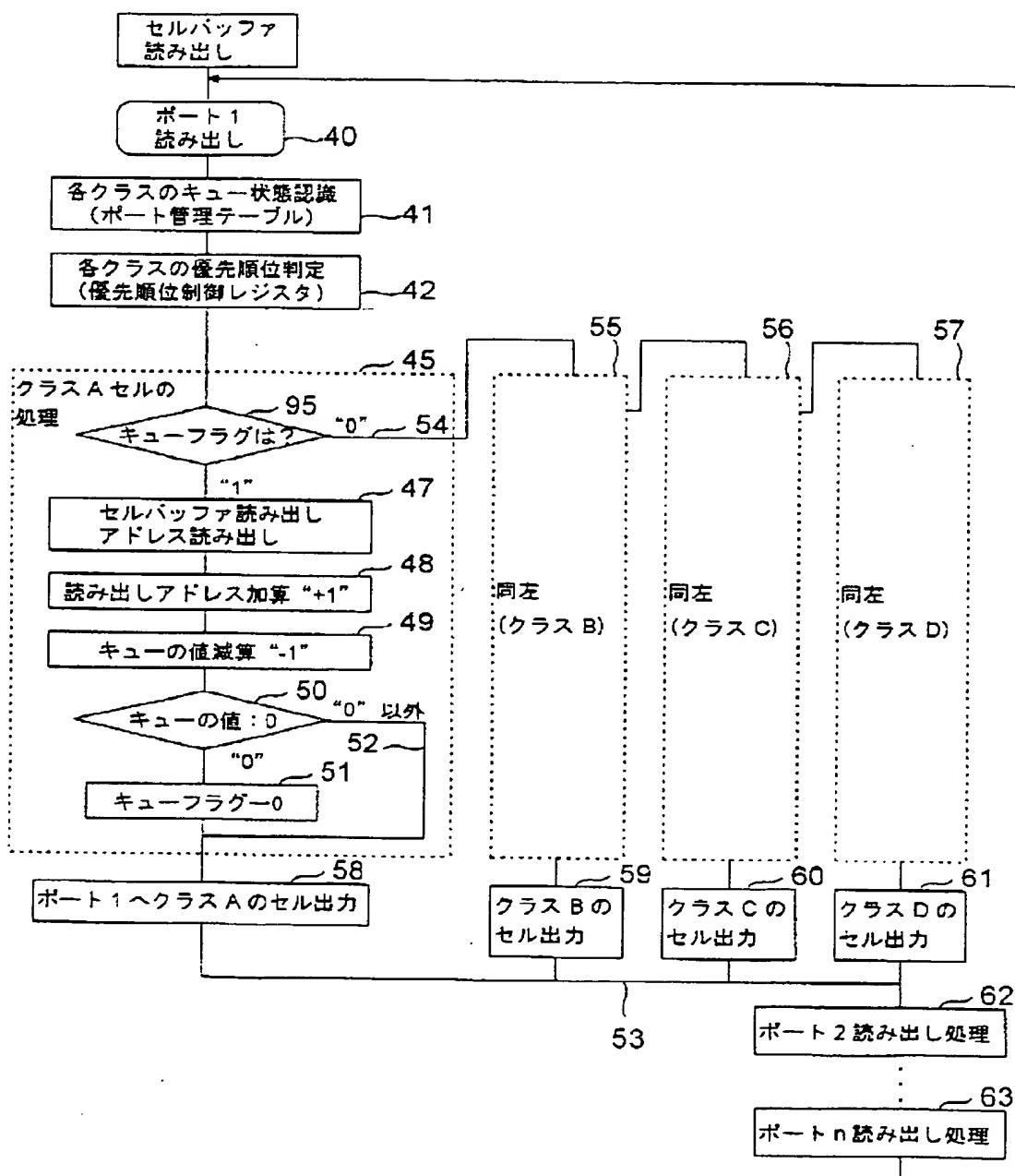
出力ポート 1 (a) (例 1)	1	0	0	1
出力ポート 1 (b) (例 2)	0	0	0	1
出力ポート 1 (c) (例 3)	0	1	0	0

1: キュー有
0: キュー無

【図13】

第一の実施の形態におけるセルバッファ読み出しフロー図(1) (図13)

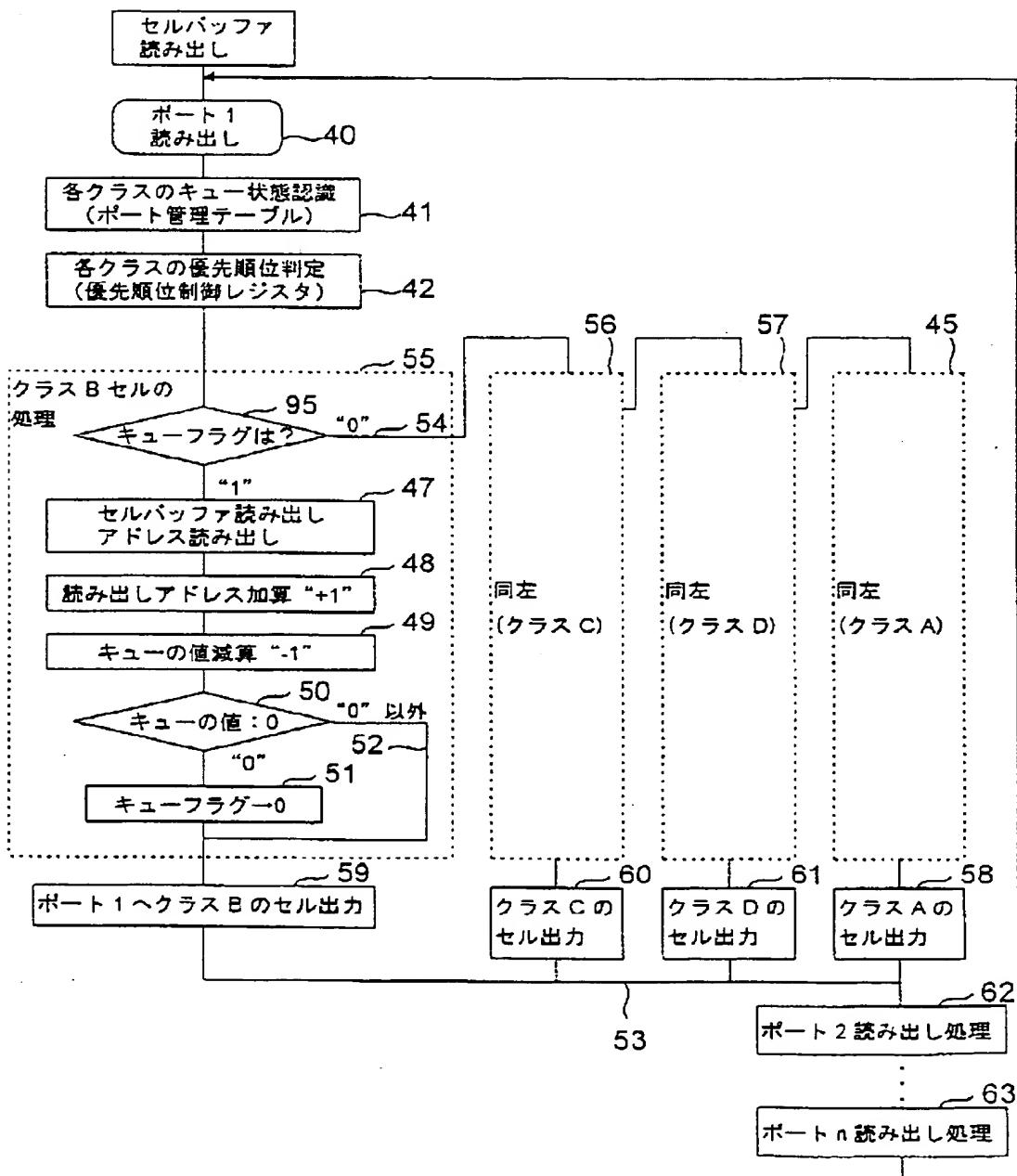
・優先順位制御レジスタの優先順位がクラスA→B→C→Dの順



【図14】

第一の実施の形態におけるセルバッファ読み出しフロー図(2) (図14)

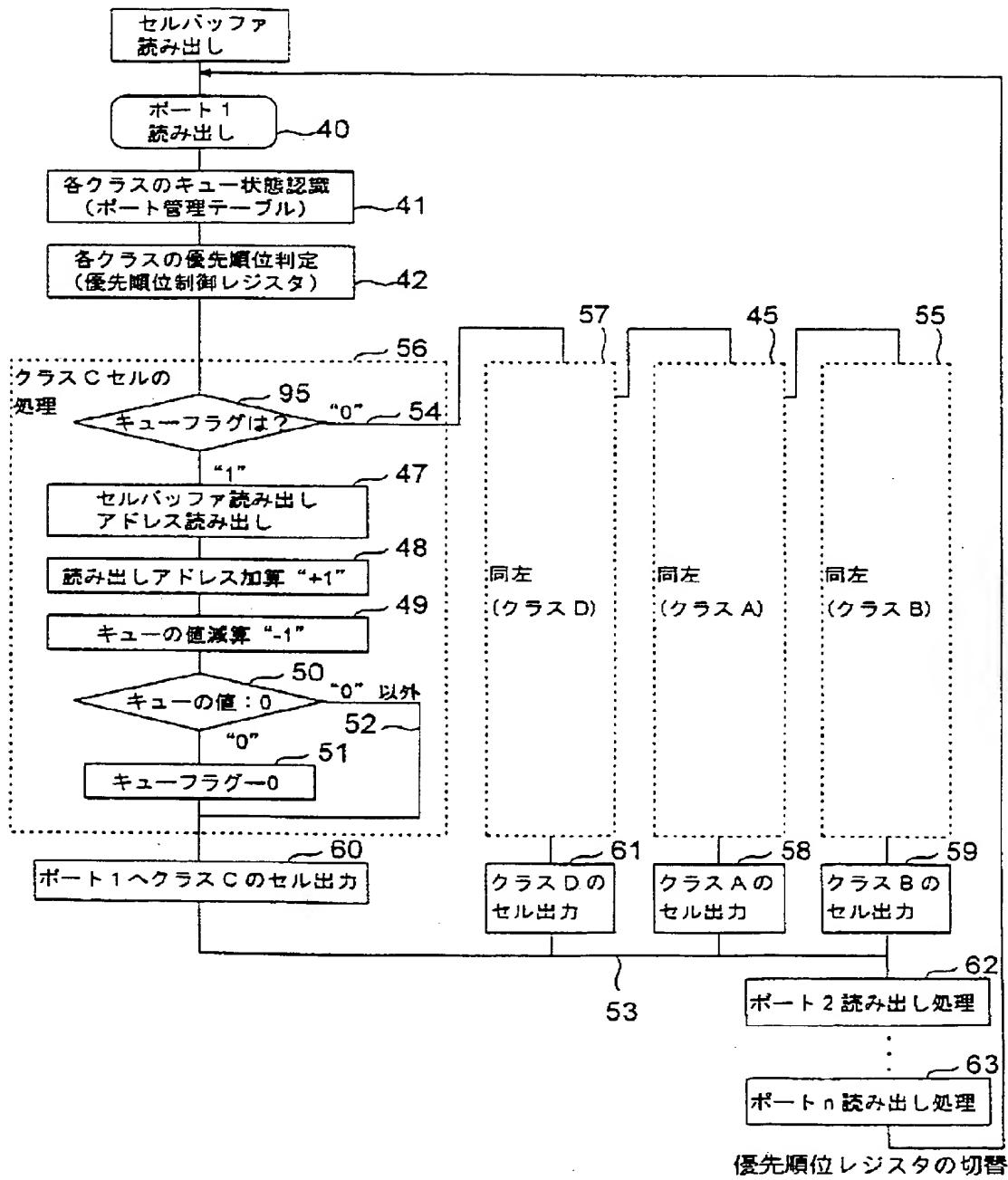
・優先順位制御レジスタの優先順位がクラスB→C→D→Aの順



【図15】

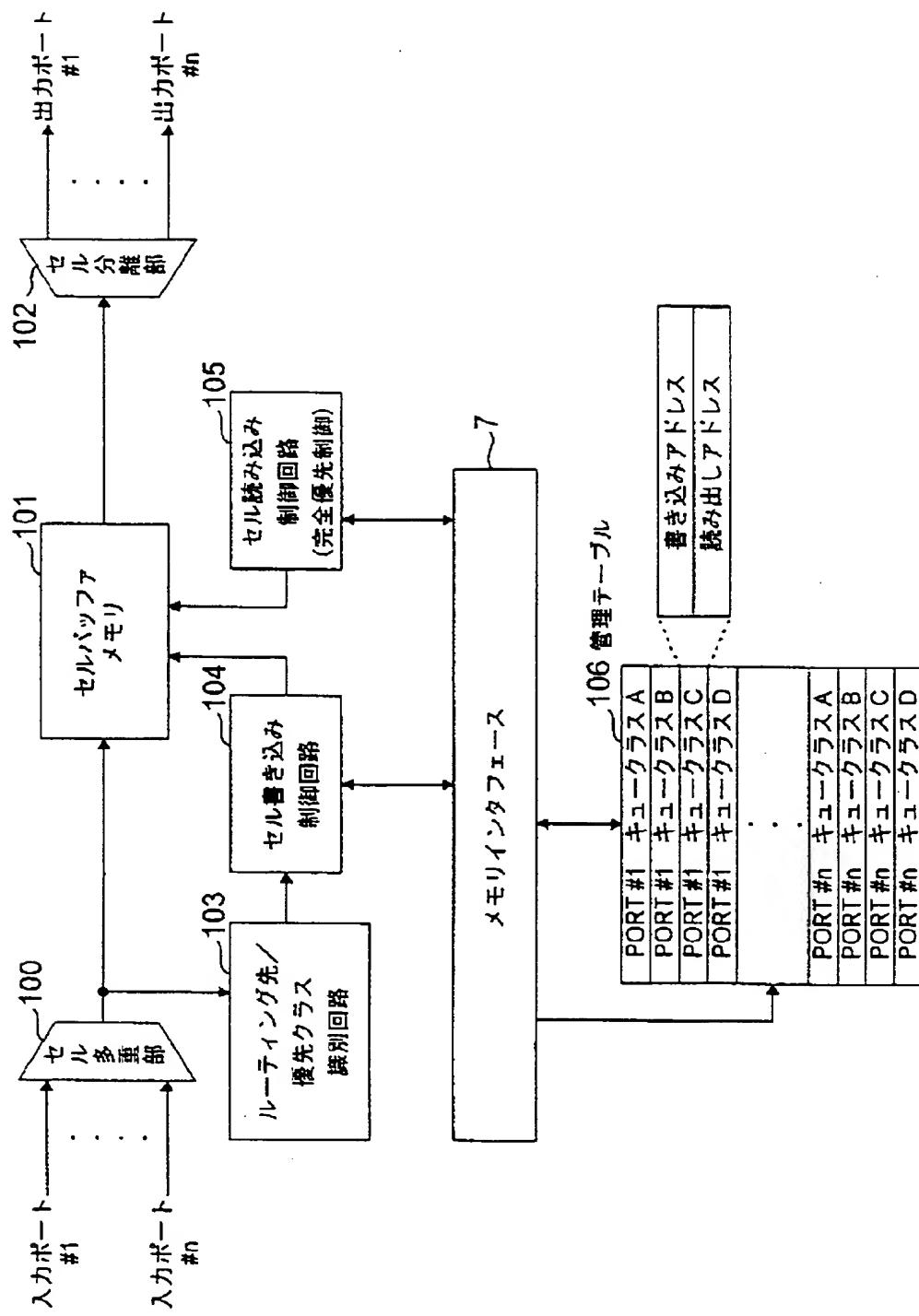
第一の実施の形態におけるセルバッファ読み出しフロー図(3)(図15)

・優先順位制御レジスタの優先順位がクラスC→D→A→Bの順



【図16】

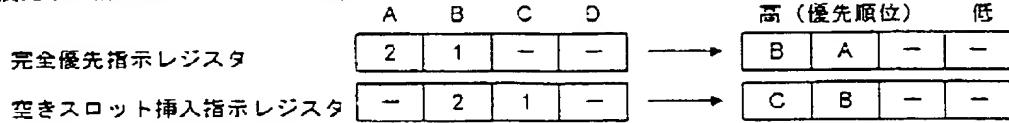
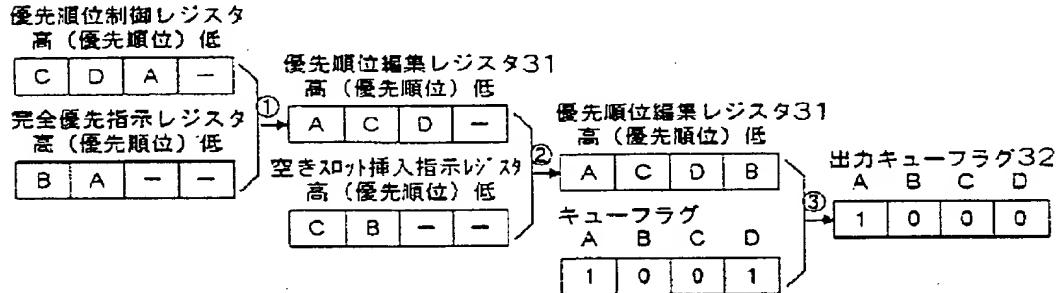
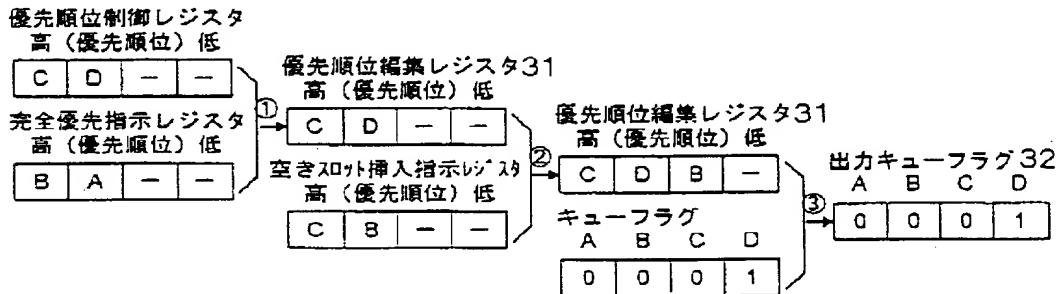
従来技術を示す図(図16)



【図17】

本発明の実施例で用いる出力キュー決定回路の動作を示す図（図17）

優先順位情報のフォーマット変換

(1) ラウンドロビンテーブル (c)
優先順位制御レジスタ (9) の時(2) ラウンドロビンテーブル (f)
優先順位制御レジスタ (17) の時(1) ラウンドロビンテーブル (f)
優先順位制御レジスタ (18) の時